

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-260536

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

H01L 23/12
H05K 1/18

(21)Application number : 08-066638

(71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP
HITACHI MICROCOMPUT SYST
LTD

(22)Date of filing : 22.03.1996

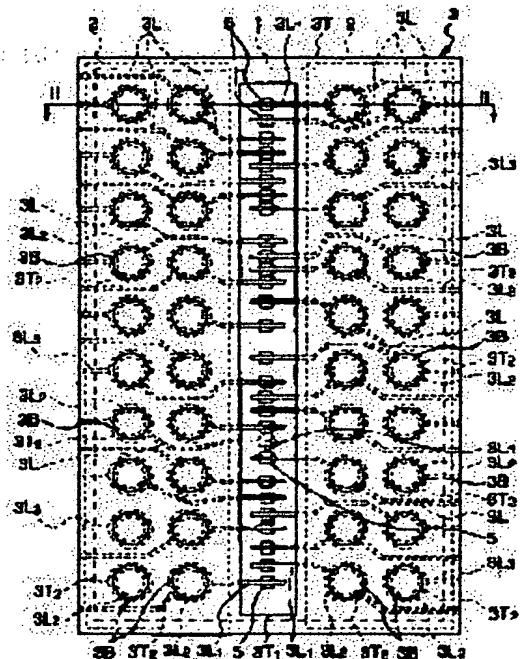
(72)Inventor : AKIYAMA YUKIJI
MIYAZAKI CHUICHI
SHIBAMOTO MASAKUNI
SHIMOISHI TOMOAKI
ANJO ICHIRO
NISHI KUNHIKO
NISHIMURA ASAO
TANAKA HIDEKI
KIMOTO RYOSUKE
TSUBOSAKI KUNIHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the reliability on the junction between both of the junction between a lead part and an outer terminal and the junction between a bump land part and a bump electrode, in a semiconductor integrated circuit device which has a package structure where the lead part of the wiring board where a solder bump electrode is made is electrically connected to the outer terminal of a semiconductor chip.

SOLUTION: In a BGA type of semiconductor integrated circuit device where a flexible wiring board 3 is provided through an elastomer 2 on the main surface of a semiconductor chip 1, the thickness of a gold plating layer at the junction face with the bonding pad 5 of a semiconductor chip 1, at the lead part 3L1 of the flexible wiring board, and the thickness of the gold plating layer at the junction face with the solder bump electrode 3b, at the bump land part 3L2 of the flexible wiring board 3, are varied.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260536

(43) 公開日 平成9年(1997)10月3日

(51) IntCl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 23/12

H 0 1 L 23/12

L

H 0 5 K 1/18

H 0 5 K 1/18

K

審査請求 未請求 請求項の数41 O L (全 32 頁)

(21) 出願番号 特願平8-66638

(22) 出願日 平成8年(1996)3月22日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233468

日立超エル・エス・アイ・エンジニアリン
グ株式会社

東京都小平市上水本町5丁目20番1号

(71) 出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(74) 代理人 弁理士 筒井 大和

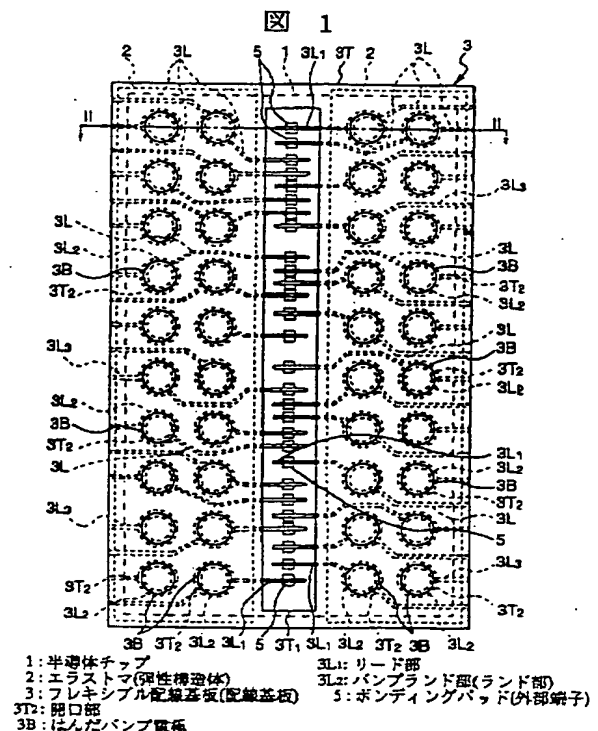
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 はんだバンプ電極の形成された配線基板のリード部を半導体チップの外部端子に電気的に接続してなるパッケージ構造を有する半導体集積回路装置において、そのリード部と外部端子との接合部およびバンプランド部とバンプ電極との接合部の両方の接合上の信頼性を向上させる。

【解決手段】 半導体チップ1の主面上にエラストマ2を介してフレキシブル配線基板3を設けてなるBGA形の半導体集積回路装置において、フレキシブル配線基板3のリード部3L1において半導体チップ1のボンディングパッド5との接合面における金メッキ層の厚さと、フレキシブル配線基板3のバンプランド部3L2においてはんだバンプ電極3Bとの接合面における金メッキ層の厚さとを変えた。



【特許請求の範囲】

【請求項 1】 配線基板に形成された配線のリード部を半導体チップの主面上の外部端子と電気的に接続させ、かつ、前記配線基板に形成された配線のランド部をはんだバンプ電極と電気的に接続させてなる半導体集積回路装置であって、(a) 前記リード部と前記外部端子との接合面に形成される第 1 の金層の厚さと、(b) 前記ランド部と前記はんだバンプ電極との接合面に形成される第 2 の金層の厚さとを変えたことを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、前記第 1 の金層の厚さが、前記第 2 の金層の厚さよりも厚いことを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 記載の半導体集積回路装置において、前記半導体チップの主面と、前記配線基板との間に弾性構造体を設け、前記配線基板のリード部を撓ませた状態で前記半導体チップの主面の外部端子に電気的に接続したことを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 記載の半導体集積回路装置において、前記第 1 の金層の厚さを $0.8 \mu\text{m}$ 以上とし、前記第 2 の金層の厚さを $0.5 \mu\text{m}$ 以下としたことを特徴とする半導体集積回路装置。

【請求項 5】 請求項 4 記載の半導体集積回路装置において、前記第 1 の金層の厚さを $0.8 \mu\text{m} \sim 3 \mu\text{m}$ とし、前記第 2 の金層の厚さを $0 \sim 0.5 \mu\text{m}$ としたことを特徴とする半導体集積回路装置。

【請求項 6】 請求項 1 記載の半導体集積回路装置において、前記配線の芯材部と、前記第 1 の金層および第 2 の金層との間に、前記芯材部の構成原子が前記第 1 の金層および第 2 の金層に移動するのを抑制するバリア金属層を設けたことを特徴とする半導体集積回路装置。

【請求項 7】 請求項 6 記載の半導体集積回路装置において、前記バリア金属層がニッケル層であることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 1 記載の半導体集積回路装置において、前記配線の芯材部が銅を主成分とする材料からなり、前記外部端子がアルミニウムを主成分とする材料からなることを特徴とする半導体集積回路装置。

【請求項 9】 配線基板に形成された配線のリード部を半導体チップの主面上の外部端子と電気的に接続させ、かつ、前記配線基板に形成された配線のランド部をはんだバンプ電極と電気的に接続させてなる半導体集積回路装置であって、(a) 前記リード部をニッケル層および第 1 の金層の順で形成された金属層を介して前記外部端子に接合するとともに、(b) 前記ランド部をニッケル層を介して前記はんだバンプ電極に接合したことを特徴とする半導体集積回路装置。

【請求項 10】 請求項 9 記載の半導体集積回路装置において、前記半導体チップの主面と、前記配線基板との間に弾性構造体を設け、前記配線基板のリード部を撓ま

せた状態で前記半導体チップの主面の外部端子に電気的に接続したことを特徴とする半導体集積回路装置。

【請求項 11】 配線基板に形成された配線のリード部を半導体チップの主面上の外部端子と電気的に接続させ、かつ、前記配線基板に形成された配線のランド部をはんだバンプ電極と電気的に接続させてなる半導体集積回路装置であって、(a) 前記リード部を第 1 の金層を介して前記外部端子に接合するとともに、(b) 前記ランド部をパラジウム層を介して前記はんだバンプ電極に接合したことを特徴とする半導体集積回路装置。

【請求項 12】 請求項 11 記載の半導体集積回路装置において、前記半導体チップの主面と、前記配線基板との間に弾性構造体を設け、前記配線基板のリード部を撓ませた状態で前記半導体チップの主面の外部端子に電気的に接続したことを特徴とする半導体集積回路装置。

【請求項 13】 配線基板に形成された配線のリード部を半導体チップの主面上の外部端子と電気的に接続させ、かつ、前記配線基板に形成された配線のランド部をはんだバンプ電極と電気的に接続させてなる半導体集積回路装置であって、(a) 前記配線基板はその配線形成面が前記半導体チップの主面に対向するように設けられ、前記ランド部は前記配線基板の基板基材に穿孔された開口部を通じてはんだバンプ電極と電気的に接続される構造を備え、(b) 前記リード部と前記外部端子との接合面に形成される第 1 の金層の厚さと、(c) 前記ランド部と前記はんだバンプ電極との接合面に形成される第 2 の金層の厚さとを変えたことを特徴とする半導体集積回路装置。

【請求項 14】 請求項 13 記載の半導体集積回路装置において、前記第 1 の金層の厚さが、前記第 2 の金層の厚さよりも厚いことを特徴とする半導体集積回路装置。

【請求項 15】 請求項 13 記載の半導体集積回路装置において、前記半導体チップの主面と、前記配線基板の配線形成面との間に弾性構造体を設け、前記配線基板のリード部を撓ませた状態で前記半導体チップの主面の外部端子に電気的に接続したことを特徴とする半導体集積回路装置。

【請求項 16】 請求項 13 記載の半導体集積回路装置において、前記外部端子を半導体チップの主面中央に配置したことを特徴とする半導体集積回路装置。

【請求項 17】 請求項 16 記載の半導体集積回路装置において、前記はんだバンプ電極が前記半導体チップの外周よりも内側の領域に設けられていることを特徴とする半導体集積回路装置。

【請求項 18】 請求項 13 記載の半導体集積回路装置において、前記外部端子を半導体チップの外周に配置したことを特徴とする半導体集積回路装置。

【請求項 19】 請求項 18 記載の半導体集積回路装置において、前記はんだバンプ電極が前記半導体チップの外周よりも外側の領域に設けられていることを特徴とす

る半導体集積回路装置。

【請求項 20】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板に形成された配線のリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ、前記配線基板に形成された配線のランド部をはんだバンプ電極と電気的に接続させてなる半導体集積回路装置であって、(a) 前記配線基板はその配線形成面が前記弾性構造体に対向するように設けられ、前記ランド部は前記配線基板の基板基材に穿孔された開口部を通じてはんだバンプ電極と電気的に接続される構造を備え、(b) 前記半導体チップはその主面上中央に前記外部端子を複数配置する構造を備え、(c) 前記リード部と前記外部端子との接合面に形成される第 1 の金層の厚さと、(d) 前記ランド部と前記はんだバンプ電極との接合面に形成される第 2 の金層の厚さとを変えたことを特徴とする半導体集積回路装置。

【請求項 21】 請求項 20 記載の半導体集積回路装置において、前記はんだバンプ電極が前記半導体チップの外周よりも内側の領域に設けられていることを特徴とする半導体集積回路装置。

【請求項 22】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板に形成された配線のリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ、前記配線基板に形成された配線のランド部をはんだバンプ電極と電気的に接続させてなる半導体集積回路装置であって、(a) 前記配線基板はその配線形成面が前記弾性構造体に対向するように設けられ、前記ランド部は前記配線基板の基板基材に穿孔された開口部を通じてはんだバンプ電極と電気的に接続される構造を備え、(b) 前記半導体チップはその外周近傍に前記外部端子を複数配置する構造を備え、(c) 前記リード部と前記外部端子との接合面に形成される第 1 の金層の厚さと、(d) 前記ランド部と前記はんだバンプ電極との接合面に形成される第 2 の金層の厚さとを変えたことを特徴とする半導体集積回路装置。

【請求項 23】 請求項 22 記載の半導体集積回路装置において、前記はんだバンプ電極が前記半導体チップの外周よりも内側領域に設けられていることを特徴とする半導体集積回路装置。

【請求項 24】 請求項 22 記載の半導体集積回路装置において、前記はんだバンプ電極が前記半導体チップの外周よりも内側および外側の両方の領域に設けられていることを特徴とする半導体集積回路装置。

【請求項 25】 配線基板の配線のリード部を半導体チップの主面上の外部端子と電気的に接続させ、かつ、前記配線基板の配線のランド部をはんだバンプ電極と電気的に接続させてなる半導体集積回路装置であって、

(a) 前記配線基板はその平坦面が前記半導体チップの

主面に対向するように設けられ、前記配線基板の配線形成面上には配線を被覆する絶縁膜が設けられ、かつ、前記ランド部は前記絶縁膜に穿孔された開口部を通じてはんだバンプ電極と電気的に接続される構造を備え、

(b) 前記リード部と前記外部端子との接合面に形成される第 1 の金層の厚さと、(c) 前記ランド部と前記はんだバンプ電極との接合面に形成される第 2 の金層の厚さとを変えたことを特徴とする半導体集積回路装置。

【請求項 26】 請求項 25 記載の半導体集積回路装置において、前記第 1 の金層の厚さが、前記第 2 の金層の厚さよりも厚いことを特徴とする半導体集積回路装置。

【請求項 27】 請求項 25 記載の半導体集積回路装置において、前記半導体チップの主面と、前記配線基板の配線形成面との間に弾性構造体を設け、前記配線基板のリード部を撓ませた状態で前記半導体チップの主面の外部端子に電気的に接続したことを特徴とする半導体集積回路装置。

【請求項 28】 請求項 25 記載の半導体集積回路装置において、前記外部端子を半導体チップの主面中央に配置したことを特徴とする半導体集積回路装置。

【請求項 29】 請求項 28 記載の半導体集積回路装置において、前記はんだバンプ電極が前記半導体チップの外周よりも内側の領域に設けられていることを特徴とする半導体集積回路装置。

【請求項 30】 請求項 25 記載の半導体集積回路装置において、前記外部端子を半導体チップの外周に配置したことを特徴とする半導体集積回路装置。

【請求項 31】 請求項 30 記載の半導体集積回路装置において、前記はんだバンプ電極が前記半導体チップの外周よりも外側の領域に設けられていることを特徴とする半導体集積回路装置。

【請求項 32】 請求項 25 記載の半導体集積回路装置において、前記配線基板において半導体チップの主面と対向する面に、その面のほぼ全面を被覆するように形成された基準電圧用の配線を形成したことを特徴とする半導体集積回路装置。

【請求項 33】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板に形成された配線のリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ、前記配線基板に形成された配線のランド部をはんだバンプ電極と電気的に接続させてなる半導体集積回路装置であって、(a) 前記配線基板はその平坦面が前記弾性構造体に対向するように設けられ、前記配線基板の配線形成面上には配線を被覆する絶縁膜が設けられ、かつ、前記ランド部は前記絶縁膜に穿孔された開口部を通じてはんだバンプ電極と電気的に接続される構造を備え、(b) 前記半導体チップはその主面中央に前記外部端子を複数配置する構造を備え、(c) 前記リード部と前記外部端子との接合面に形成される第 1 の金層の厚さと、(d) 前記ランド部

と前記はんだバンプ電極との接合面に形成される第2の金層の厚さを変えたことを特徴とする半導体集積回路装置。

【請求項34】 請求項33記載の半導体集積回路装置において、前記はんだバンプ電極が前記半導体チップの外周よりも内側の領域に設けられていることを特徴とする半導体集積回路装置。

【請求項35】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板に形成された配線のリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ、前記配線基板に形成された配線のランド部をはんだバンプ電極と電気的に接続させてなる半導体集積回路装置であって、(a) 前記配線基板はその平坦面が前記弾性構造体に対向するように設けられ、前記配線基板の配線形成面上には配線を被覆する絶縁膜が設けられ、かつ、前記ランド部は前記絶縁膜に穿孔された開口部を通じてはんだバンプ電極と電気的に接続される構造を備え、(b) 前記半導体チップはその外周近傍に前記外部端子を複数配置する構造を備え、(c) 前記リード部と前記外部端子との接合面に形成される第1の金層の厚さと、(d) 前記ランド部と前記はんだバンプ電極との接合面に形成される第2の金層の厚さを変えたことを特徴とする半導体集積回路装置。

【請求項36】 請求項35記載の半導体集積回路装置において、前記はんだバンプ電極が前記半導体チップの外周よりも内側の領域に設けられていることを特徴とする半導体集積回路装置。

【請求項37】 請求項35記載の半導体集積回路装置において、前記はんだバンプ電極が前記半導体チップの外周よりも内側および外側の両方の領域に設けられていることを特徴とする半導体集積回路装置。

【請求項38】 半導体チップの外部端子が電気的に接続されるためのリード部と、はんだバンプ電極が電気的に接続されるためのランド部とを有する配線が設けられた配線基板を備えてなる半導体集積回路装置であって、(a) 前記リード部と前記外部端子との接合面に形成される第1の金層の厚さと、(b) 前記ランド部と前記はんだバンプ電極との接合面に形成される第2の金層の厚さを変えたことを特徴とする半導体集積回路装置。

【請求項39】 請求項38記載の半導体集積回路装置において、前記第1の金層の厚さが、前記第2の金層の厚さよりも厚いことを特徴とする半導体集積回路装置。

【請求項40】 請求項38記載の半導体集積回路装置において、前記半導体チップの主面と、前記配線基板との間に弾性構造体を設け、前記配線基板のリード部を撓ませた状態で前記半導体チップの主面の外部端子に電気的に接続したことを特徴とする半導体集積回路装置。

【請求項41】 配線基板に形成された配線のリード部を半導体チップの主面上の外部端子と電気的に接続さ

せ、かつ、前記配線基板に形成された配線のランド部をはんだバンプ電極と電気的に接続させてなる半導体集積回路装置であって、(a) 前記リード部と前記外部端子との接合面に第1の金層を設け、(b) 前記ランド部と前記はんだバンプ電極との接合面に第2の金層を設け、(c) 前記第1の金層の厚さと前記第2の金層の厚さとを、 $0.6\mu\text{m}\sim 1.0\mu\text{m}$ の範囲で共有する厚さとしたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

10 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置技術に関し、特に、BGA (Ball Grid Array) パッケージ構造を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】電子機器の機能および性能の向上とともに、その外観を小形で薄く、しかもその重さを軽量にするための技術開発が進められている。これは、近年の携帯形電話機や携帯形計算機等のような携帯形電子機器の急増によるところが大きい。

20 【0003】また、個人で操作する電子機器におけるマン・マシンインターフェイス的役割の重要性が増しつつあり、電子機器の取り扱い易さや操作性が重要視されるようになってきている。さらに、複雑な画像を含む情報を小形の電子機器で大量に、しかも高速処理する必要性も急増してきている。これらの傾向は、本格的なマルチメディア時代の到来とともに、いっそう強まるものと思われる。

30 【0004】こうした状況の中で、半導体チップに形成される素子の集積度等の向上は止まるところを知らず、半導体チップのサイズの増大および電極数の増加等が進み、半導体チップを収容するパッケージも大形になってきている。

【0005】一方ではパッケージサイズを小形にするためにリードピッチを狭める等の対策が採られているが、これとともにパッケージの実装も急速に難しくなっている。

40 【0006】そこで、多数の外部電極を小さなパッケージから引き出すことができ、しかも、実装が比較的容易に行えるBGA形のパッケージ構造が急速に使用されつつある。

【0007】この構造では、外部電極を、QFP (Quad Flat Package) 等のようにパッケージの側面から引き出すのではなく、PGA (Pin Grid Array) のようにパッケージの実装面から引き出す構造となっており、外部電極のピッチはPGAよりも狭いが、外部電極をQFP等よりも余裕をもって引き出すことができるので、実装も容易であるという特徴を有している。

50 【0008】BGA形のパッケージには、構造や材料等の異なる種々のものがあるが、配線基板部分に絶縁テー

プを使用する、いわゆるテープBGA (Tape BGA ; 以下、TBGAという) もその中の一つと言える。このTBGA形のパッケージ構造では、他のBGA形のパッケージ構造に比べてパターンを微細にかつ薄く形成することができるという特徴を有している。

【0009】このため、このTBGA形のパッケージ構造を、半導体チップとほぼ同じ外形寸法のBGAパッケージ構造の、いわゆるCSP (Chip Size Package) 構造に適用したものも開発されている。このようなBGA形のパッケージ構造を有する半導体集積回路装置については、例えば日経BP社、1994年5月1日発行の「日経マイクロデバイス」P98～P102、同じく1995年2月1日発行の「日経マイクロデバイス」P96～P97および株式会社工業調査会、平成7年4月1日発行の「電子材料」P22～P28等に記載があり、ここにはCSP形のBGAパッケージ構造について説明されている。

【0010】すなわち、これらの文献には、バンパ電極がエリアアレイ状に配列されたフレキシブル配線を、半導体チップの主面上にエラストマを介して設け、そのフレキシブル配線基板上に形成された配線パターンのリードを撓ませて半導体チップの主面上のボンディングパッドに接続したパッケージ構造が開示されている。このフレキシブル配線基板の配線パターンは金 (Au) メッキ銅 (Cu) 箔で形成されており、その先端部はCuがエッチングされてAuリードになっている。

【0011】また、本発明者は、この種のパッケージ構造の半導体集積回路装置について検討した。以下は、公知とされた技術ではないが、本発明者が検討した技術であり、その概要は次のとおりである。

【0012】すなわち、本発明者が検討した技術は、上記したパッケージ構造のフレキシブル配線基板におけるリードの芯材がCuで構成されているとともに、そのリードの上下両面に同厚のAuメッキ層が形成されるものである。

【0013】また、TBGA形のパッケージ構造については、例えば日本電子材料技術協会、1995年7月発行、「日本電子材料技術協会会報、TBGAの行方」JEMS. VOL. 27、P14～P19に記載がある。

【0014】ここには、LSIチップの外周にLSIチップを取り囲むように平面枠状に形成されたTABテープを配置し、そのTABテープから平坦状に延ばされたTABリードと、LSIチップの主面上のボンディングパッドとをはんだ端子等を介して電気的に接続するとともに、TABテープの枠面上に、実装基板のパッドと接続される球形のはんだ端子を設けたTBGAの代表的な構造について説明されている。

【0015】このLSIチップの裏面は放熱板に接合されている。この放熱板とTABテープとの間には、LSIチップの側面を取り囲むように平面枠状に形成された

固定板が介在されている。TABテープは、銅 (Cu) /ポリイミド/Cuで構成されている。

【0016】

【発明が解決しようとする課題】ところが、上記したBGAパッケージ技術においては、以下の問題があることを本発明者は見出した。

【0017】すなわち、上記したフレキシブル配線基板のリードをAuで構成する技術においては、高価な金が多量に必要となり、半導体集積回路装置の製造コストが高くなる課題がある。

【0018】また、上記したフレキシブル配線基板の配線の芯材をCuで構成し、その配線のリードの両面に同一膜厚の金メッキ層を設ける本発明者が検討した技術においては、そのリードと半導体チップの外部端子との接合部およびはんだバンパ電極とそれが接合される配線部 (バンパランド部) との接合部の各々の接合状態を最適にすることができず、その両方の接合部において充分な接合上の信頼性を得ることができないという課題がある。

【0019】本発明の目的は、はんだバンパ電極の形成された配線基板のリード部を半導体チップの外部端子に電気的に接続してなるパッケージ構造を有する半導体集積回路装置において、そのリード部と外部端子との接合部およびバンパランド部とバンパ電極との接合部の両方の接合上の信頼性を向上させることのできる技術を提供することにある。

【0020】また、本発明の他の目的は、はんだバンパ電極の形成された配線基板のリード部を半導体チップの外部端子に電気的に接続してなるパッケージ構造を有する半導体集積回路装置において、その製造コストを低減することのできる技術を提供することにある。

【0021】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0022】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0023】本発明の半導体集積回路装置は、配線基板に形成された配線のリード部を半導体チップの主面上の外部端子と電気的に接続させ、かつ、前記配線基板に形成された配線のランド部をはんだバンパ電極と電気的に接続させてなる半導体集積回路装置であって、(a) 前記リード部と前記外部端子との接合面に形成される第1の金属の厚さと、(b) 前記ランド部と前記はんだバンパ電極との接合面に形成される第2の金属の厚さとを変えたものである。

【0024】また、本発明の半導体集積回路装置は、前記配線の芯材部と、前記第1の金属および第2の金属との間に、前記芯材部の構成原子が前記第1の金属および

第2の金層に移動するのを抑制するバリア金属層を設けたものである。

【0025】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する）。

【0026】（実施の形態1）図1は本発明の一実施の形態である半導体集積回路装置の平面図、図2は図1のII-II線の断面図、図3は図1の半導体集積回路装置の要部平面図、図4は図3のIV-IV線の断面図、図5は配線基板の配線の各接合面に形成された金属の厚さと各接合部における接合強度劣化率との関係を示すグラフ図、図6～図15は図1の半導体集積回路装置のリード部におけるメッキ構造例を説明するための説明図、図16は図1の半導体集積回路装置の配線基板におけるメッキ処理方法を説明するための説明図、図17は図1の半導体集積回路装置の組立工程を説明するための説明図、図18は図1の半導体集積回路装置の弾性構造体の形成工程で用いるマスクの平面図、図19は図1の半導体集積回路装置の弾性構造体の形成工程における説明図、図20～図22は図1の半導体集積回路装置のリードの接続工程中の説明図、図23および図24は図1の半導体集積回路装置の適用例の説明図である。

【0027】まず、本実施の形態1の半導体集積回路装置の構造を図1～図15によって説明する。

【0028】本実施の形態1の半導体集積回路装置は、例えばCSP（Chip Size Package）形の半導体集積回路装置であり、半導体チップ1と、その主面上にエラストマ（弾性構造体）2を介して設けられたフレキシブル配線基板（配線基板）3とを有している。

【0029】半導体チップ1は、例えば平面矩形状のシリコン（Si）単結晶等の小片からなり、その主面上には、例えばマイクロプロセッサ等のような論理回路またはSRAM（Static Random Access Memory）やDRAM（Dynamic Random Access Memory）等のような記憶回路等、所定の集積回路が形成されている。

【0030】また、半導体チップ1の主面の最上層には、パッシベーション膜4が形成されている。このパッシベーション膜4は、上記した集積回路構成用の素子や配線等を保護するための絶縁膜であり、半導体チップ1の主面側から順に、例えば無機材料からなるパッシベーション膜4aおよび有機材料からなるパッシベーション膜4bが堆積され形成されている。

【0031】そのパッシベーション膜4aは、例えば二酸化シリコン（SiO₂）またはその上に窒化シリコンが堆積されて構成されている。また、パッシベーション膜4bは、例えばポリイミド樹脂からなり、その厚さは、例えば2～10μm程度である。

【0032】また、半導体チップ1の主面中央には、矩

形状に形成された複数のボンディングパッド（外部端子）5が一直線上に沿って配置されている。このボンディングパッド5は、上記した集積回路の電極を半導体チップ1の外部に引き出すための引き出し電極であり、例えばアルミニウム（Al）またはAl-Si-Cu合金等からなる。

【0033】このボンディングパッド5の上面は、上記したパッシベーション膜4a、4bに穿孔された開口部4a1、4b1を通じて露出されている。下層のパッシベーション膜4aにおける開口部4a1は、個々のボンディングパッド5の上面が露出する程度の大きさで形成されている（図3および図4参照）。なお、図3においては図面を見易くするためパッシベーション膜4a、4bにハッチングを付す。

【0034】また、上層のパッシベーション膜4bにおける開口部4b1は、個々のボンディングパッド5よりも大きめに形成されており、複数のボンディングパッド5の配列方向に沿って延在する細長い開口領域となっている。

【0035】なお、図4において、符号のZは層間絶縁膜を示しており、この下層（半導体チップ1の半導体基板に向かう方向）には複数の配線層および素子が形成されている。

【0036】エラストマ2は、温度特性試験等のような熱を伴う処理に際し、CSP形の半導体集積回路装置とこれを実装するプリント配線基板との接続部（後述のはんだバンプ電極）に、半導体チップ1とプリント配線基板との熱膨張係数差に起因して加わるストレスを吸収する機能を有している。

【0037】エラストマ2は、半導体チップ1の主面中央におけるボンディングパッド5の配列領域における長辺の両側（図1等において左右）に配置されている。その左右各々のエラストマ2は、半導体チップ1の長手方向に沿って延びるような平板状に形成されており、例えば厚さ100μm～200μm程度、好ましくは150μm程度のシリコン樹脂等のような弾性材料によって構成されている。

【0038】その左右各々のエラストマ2は、それぞれ接着材6aによって半導体チップ1と接着されている。接着材6aは、例えばシリコン系の樹脂からなり、その厚さは、例えば10μm～30μm程度、好ましくは20μm程度に設定されている。

【0039】フレキシブル配線基板3は、半導体チップ1の集積回路と、上記実装用のプリント配線基板の配線とを電気的に接続するための部材であり、フレキシブル配線基板3の配線3Lのパターン形成面をエラストマ2側に向けた状態でエラストマ2と接合され半導体集積回路装置に組み込まれている。

【0040】フレキシブル配線基板3を構成するテープ（基板基材）3Tは、例えばポリイミド樹脂からなり、

その中央には半導体チップ1の長手方向に延在するような長方形の開口部3 T1 が穿孔されており、その開口部3 T1 から上記したボンディングパッド5の配列領域が露出する構造となっている。このテープ3 Tの厚さは、例えば50 μm ~125 μm 程度、好ましくは50 μm 程度に設定されている。

【0041】テープ3 T上には、上記した配線3 Lがパターン形成されている。この配線3 Lは接着材6 bによりテープ3 Tに接着されている。この接着材6 bは、例えばエポキシ系の樹脂からなり、その厚さは、例えば10 μm ~20 μm 程度、好ましくは10 μm 程度に設定されている。

【0042】この配線3 Lの芯材部（メッキ層を除いた配線の主構成材料部）は、例えばCuまたはCu合金等からなり、その厚さは、例えば12 μm ~30 μm 程度、好ましくは、例えば18 μm 程度に設定されている。

【0043】この配線3 Lの一端、すなわち、リード部3 L1 は、テープ3 Tの中央の開口部3 T1 の両長辺側から突出され、その両長辺側から突出する各々のリード部3 L1 が互いに噛み合う程度の位置まで半導体チップ1の中央に向かって延在されている。

【0044】そして、このリード部3 L1 は、半導体チップ1の主面側に折り曲げられ、例えば断面略S字状に撓んだ状態で、その先端が半導体チップ1主面上のボンディングパッド5と電気的に接続されている（図2および図4等参照）。なお、図4のリード部3 L1 にはメッキ層を図示していない。

【0045】このリード部3 L1 の撓みは、半導体チップ1と上記したプリント配線基板との熱膨張係数差に起因してリード部3 L1 に生じるストレスを吸収する機能を有している。すなわち、リード部3 L1 は、その撓みによって弾性体としての機能を備えている。

【0046】このリード部3 L1 の芯材部の幅は、製品の種類等によって変わるので一概には言えないが、例えば38 μm 程度である。このリード部3 L1 における芯材部の表面にはメッキ処理が施されている。このメッキ構造については後ほど詳述する。

【0047】また、配線3 Lの中間にはバンブランド部3 L2 が形成されている。このバンブランド部3 L2 は、テープ3 Tに穿孔された開口部3 T2 を通じてはんだバンプ電極3 Bと電気的に接続されている。このバンブランド部3 L2 において、はんだバンプ電極3 Bとの接合面にはメッキ処理が施されている。このメッキ構造についても後ほど詳述する。

【0048】また、配線3 Lにおいてバンブランド部3 L2 からフレキシブル配線基板3の外周側に延在する部分は、メッキ電流供給用の配線3 L3 である。このメッキ電流供給用の配線3 L3 は、リード部3 L1 やバンブランド部3 L2 等にメッキを施す際に、メッキ装置のメ

ッキ電流供給用の端子が接続され、リード部3 L1 やバンブランド部3 L2 等に所定量の電流を供給するための配線経路となる。

【0049】はんだバンプ電極3 Bは、テープ3 Tの主面上において、開口部3 T1 の両側（図1の左右）に、それぞれ複数個ずつ規則的に配置されている。ただし、はんだバンプ電極3 Bは、半導体チップ1の外周よりも内側領域に配置されている。

【0050】各はんだバンプ電極3 Bは、例えば略球形状に形成された鉛（Pb）-錫（Sn）合金等からなり、その直径は、製品の種類等によって変わるので一概には言えないが、例えば0.5 mm~0.7 mm程度、本実施の形態1では、例えば0.6 mm程度に設定されている。

【0051】このようなCSP形の半導体集積回路装置において半導体チップ1の側面およびエラストマ2の側面は封止樹脂7 aによって被覆されている（図2参照）。ただし、この封止樹脂7 aは無くても良い。

【0052】また、フレキシブル配線基板3の開口部3 T1 から露出する溝、すなわち、半導体チップ1の主面と、その上の2つのエラストマ2における互いに対向する内壁面とによって形成された溝内にも封止樹脂7 bが充填されており、これによりボンディングパッド5およびリード部3 L1 等が被覆されている。

【0053】この封止樹脂7 a、7 bによって外部からの衝撃や水分等からCSP形の半導体集積回路装置が十分に保護されており、この半導体集積回路装置の信頼性を向上させることが可能となっている。

【0054】次に、上記したフレキシブル配線基板3の配線3 Lのメッキ構造について、本発明者が検討した結果を説明した後、その具体的な構造例を説明する。

【0055】まず、本発明者は、配線3 Lのリード部3 L1 とボンディングパッド5との接合部（以下、リード接合部という）の強度および配線3 Lのバンブランド部3 L2 とはんだバンプ電極3 Bとの接合部（以下、バンプ接合部という）の強度について検討した。

【0056】その結果、それぞれの接合部の強度がリード部3 L1 およびバンブランド部3 L2 に施された金（Au）メッキの厚さによって異なることを見出した。その結果を図5に示す。

【0057】図5は、本実施の形態1の半導体集積回路装置に対して、例えば125℃、48時間程度の高温放置（エージング）試験を行った後のリード部接合部およびバンプ接合部の各々の接合強度劣化率を示したグラフである。

【0058】図5の横軸は配線3 Lに被覆されたAuメッキ層の膜厚を示し、縦軸は接合強度の劣化率（図5の下方に行くほど接合劣化が少ない）を示している。

【0059】また、実線で描かれた曲線は、リード接合部の接合強度（以下、リード接合強度という）の劣化率

THIS PAGE BLANK (USPTO)

を示し、破線で描かれた曲線は、バンプ接合部の接合強度（以下、バンプ接合強度という）の劣化率を示している。

【0060】リード接合強度の劣化率曲線（実線）では、リード部3L1においてボンディングパッド5側の接合面（以下、パッド側接合面という）におけるAuメッキ層が厚くなるにつれて劣化率が低下している。すなわち、リード部3L1のパッド側接合面においては、Auメッキ層を厚くした方が良いことが判る。

【0061】ここで、このAuメッキ層が薄いとリード接合強度が高温放置時に低下する理由を説明する。

【0062】Al等からなるボンディングパッド5とリード部3L1とを所定条件、例えば荷重30～60g、温度200～230℃、超音波0.15～0.30Wにおいて接触させると、リード部3L1の裏面におけるAuメッキ層のAu原子が相互拡散することによって両者の接合がなされる。

【0063】この状態で、高温放置、例えば125℃、48時間の処理を施すと、リード接合部の接合界面においてAuとAlとの金属間化合物が生成される。この金属間化合物の組成は、接合界面近傍のAuの量によってAuとAlとの構成比が異なる性質を有する。

【0064】すなわち、リード接合部の接合界面にAuが豊富にあると、機械的強度が大きいAu₃Al₂合金が選択的に生成され、これに対し、Auの量が少なくなるに従い、機械的強度がやや小さいAu₂Al合金が生成され、さらにAuの量が少なくなると、機械的強度がさらに小さいAuAl₃合金が選択的に生成されるようになる。

【0065】この結果、リード部3L1のAuメッキ層が薄い程、高温放置時のリード接合強度が低下することになる。

【0066】また、Auメッキ層は、リード接合時のボンディングツールによる衝撃を緩和する機能も有している。したがって、このAuメッキ層の厚さを薄くし過ぎると、ボンディングの衝撃が比較的硬いNiやCu等を介してリード接合面に印加されるので、ボンディングパッド5の下層の半導体チップ1の主面にダメージを与えてしまう。この場合、リード接合強度は著しく低下することになる。

【0067】一方、バンプ接合強度の劣化率曲線（破線）では、バンプランド部3L2においてはんだボール電極3B側の接合面（以下、はんだボール側接合面という）におけるAuメッキ層が厚くなるにつれて劣化率が増加している。すなわち、はんだボール側接合面においては、Auメッキ層を薄くした方が良いことが判る。

【0068】ここで、金メッキ層が厚いとバンプ接合強度が高温放置時に低下する理由を説明する。

【0069】バンプ接合時の高温条件、例えば最高（Max）235℃～200℃、45秒以上の下で、金メッ

キ層を形成する接合界面のAu原子は、例えばはんだボール電極3Bのはんだボールの63%錫（Sn）-37%鉛（Pb）中にほぼ均一に拡散される。

【0070】このはんだボール中に拡散したAuの濃度が所定の濃度を越えた状態で、高温放置、例えば125℃、48時間の処理を施すと、一旦、はんだボール内に拡散されたAu原子がはんだボールの接合界面に選択的に凝集して、はんだボール中のSn原子と結合して主としてAuSn₄化合物を析出する。

【0071】ここで析出されたAuSn₄は、機械的に脆い性質を有するので、結果としてはんだボールの接合強度が低下することになる。さらには、はんだボール電極3Bの剥離も生じる場合もある。

【0072】これに対して、Auメッキ層が薄く、はんだボール中に拡散したAuの濃度が所定濃度よりも小さい状態で、上記した高温放置処理を施した場合には、AuとSnとが共存しても化合物を作らない性質を有するので、はんだボールの接合界面に機械的に脆い層が形成されるのを防ぐことができ、はんだボール電極3Bの接合強度の低下を招かない。

【0073】ここで、リード接合強度およびバンプ接合強度の双方の劣化率が、例えば30%までとしたい場合は、リード接合部およびバンプ接合部の各々の接合面におけるAuメッキ層の厚さを、例えば次のように設定すると良いことが判る。

【0074】まず、リード接合部のパッド側接合面におけるAuメッキ層の厚さは、例えば0.8μm以上、好ましくは0.8μm～3.0μm程度が実用的に適している。ここで、Auメッキ層の厚さを好ましくは0.8μm～3.0μmとしているのは、例えば次の理由からである。

【0075】すなわち、Auメッキ層の厚さを0.8μmより薄くすると、図5から判るように接合強度の劣化率が30%を越えてしまうからである。また、Auメッキ層の厚さを0.8μmより薄くすると、後述するリード接合時にボンディングツールによる押しつけ力等によってボンディングパッド5やその下層の半導体チップ1に損傷を与え場合もあるからである。

【0076】また、Auメッキの厚さを3.0μmより厚くすると、接合強度の面からは好ましいが、高価なAuを過剰に使用することになり製造コストの面から不適となってしまうからである。

【0077】一方、バンプ接合部のはんだボール側接合面におけるAuメッキ層の厚さは、例えば0.5μm以下、好ましくは0.05μm～0.5μm程度が実用的に適している。ここで、Auメッキ層の厚さを好ましくは0.05μm～0.5μmとしているのは、例えば次の理由からである。

【0078】すなわち、このAuメッキ層の厚さの下限を零（0）としていないのは、ここに全くAuメッキが施されていないと、酸化し易い、腐食し易い、また、は

んだバンプ電極3Bのはんだの濡れ性が低下してしまう等の不具合が生じることを考慮したためである。また、このAuメッキ層の厚さが $0.5\mu\text{m}$ より厚いと接合強度の劣化率が30%を越えてしまうからである。

【0079】このように設定することにより、リード接合部およびバンプ接合部の両方において接合強度劣化率を30%より低く抑えることができるので、信頼性の高い半導体集積回路装置を提供することが可能となる。

【0080】また、リード接合部およびバンプ接合部の各々に必要最小限のAuメッキ層を形成することができるので、高価なAuの使用量を最小限に抑えることができ、半導体集積回路装置の製造コストを下げる事が可能となっている。

【0081】ただし、ここで説明したAuメッキ層の厚さは、リード接合部およびバンプ接合部の双方の接合強度劣化率が30%を越えないことが要求される製品についてであって、これに限定されるものではなく、要求される接合強度の劣化率が変わればAuメッキ層の厚さの範囲も種々変更可能である。

【0082】例えば製品によってはバンプランド部3L2の接合面積が大きい等の理由からバンプ接合部側の接合強度を、接合面積の小さいリード接合部ほど必要としない場合もある。

【0083】この場合、リード接合部では接合強度の劣化率が30%を越えないようにし、バンプ接合部では接合強度の劣化率が35%を越えないようにすることもある。この場合には、リード接合部のパッド側接合面におけるAuメッキ層の厚さは、例えば $0.8\mu\text{m}$ 程度以上とし、バンプ接合におけるはんだボール側接合面におけるAuメッキ層の厚さは、例えば $0.7\mu\text{m}$ 程度以下とする。

【0084】また、リード接合部およびバンプ接合部の必要とする接合強度劣化率が50%以下の場合においては、パッド側接合面およびバンプ側接合面のAuメッキ層を、例えば $0.6\mu\text{m}$ ~ $1.0\mu\text{m}$ の範囲で共有した厚さに設定しても良い。すなわち、この場合はパッド側接合面とバンプ側接合面とのAuメッキ層の厚さを同厚とする場合もあるし、変える場合もある。ただし、この場合は、パッド側接合面のAuメッキ層の厚さとバンプ側接合面のAuメッキ層の厚さとが等しい場合でも、必要な接合強度が、片方の接合部だけでなく、リード接合部およびバンプ接合部の両方の接合部において充分に得ることが可能となる。

【0085】次に、フレキシブル配線基板3の配線3Lに施されるメッキ構造の具体例を図6~図15によって説明する。ここでは、リード接合部およびバンプ接合部の両方の接合強度の劣化率が30%を越えないようにAuメッキ層の厚さを設定した場合について説明する。

【0086】なお、図6~図15において符号の3Lbは配線3Lの上記芯材部を示している。また、図7、図

9、図11、図13、図15は配線3Lのパッド側接合面およびはんだボール側接合面の双方のメッキ層の状態を1つにまとめて模式的に示した図である。

【0087】第1は、図6および図7に示すように、リード部3L1の表面およびバンプランド部3L2のはんだボール側接合面にAuメッキ層3LmA1、3LmA2のみを形成した場合の例である。

【0088】リード部3L1のパッド側接合面（リード部3L1の裏面とする）の芯材部3Lbには、上記した理由から厚さ $0.8\mu\text{m}$ ~ $3.0\mu\text{m}$ の金メッキ層（第1の金層）3LmA1が被覆されている。本実施の形態1では、Auメッキ層3LmA1の厚さは、例えば $1.5\mu\text{m}$ 程度に設定されている。

【0089】また、リード部3L1の主面側およびバンプランド部3L2のはんだボール側接合面の芯材部3Lbには、上記した理由から厚さ $0.5\mu\text{m}$ 以下の金メッキ層（第2の金層）3LmA2が被覆されている。本実施の形態1では、このAuメッキ層3LmA2の厚さは、例えば厚さ $0.3\mu\text{m}$ 程度に設定されている。

【0090】第2は、図8および図9に示すように、リード部3L1の表面およびバンプランド部3L2のはんだボール側接合面にニッケル（Ni）メッキ層（バリア金属層）3LmN1、3LmN2を介してAuメッキ層3LmA1、3LmA2を形成した場合の例である。

【0091】Niメッキ層を設けた理由は、半導体集積回路装置の所定の熱処理の際に、配線3Lの芯材部3Lbを構成するCuがAuメッキ層3LmA1、3LmA2に拡散してしまいリード接合部およびバンプ接合部の接合強度を劣化させてしまうのを抑制するためである。

【0092】リード部3L1のパッド側接合面の芯材部3Lbには、Niメッキ層3LmN1を介してAuメッキ層3LmA1が被覆されている。この金メッキ層3LmA1の厚さは、例えば上記理由から $0.8\mu\text{m}$ ~ $3.0\mu\text{m}$ 、本実施の形態1では、例えば $1.5\mu\text{m}$ 程度に設定されている。

【0093】また、リード部3L1の主面側およびバンプランド部3L2のはんだボール側接合面の芯材部3Lbには、Niメッキ層3LmN2を介してAuメッキ層3LmA2が被覆されている。この金メッキ層3LmA2の厚さは、上記理由から厚さ $0.5\mu\text{m}$ 以下、本実施の形態1では、例えば $0.3\mu\text{m}$ 程度に設定されている。

【0094】Niメッキ層3LmN1、3LmN2の厚さはともに、例えば $0\sim 2.0\mu\text{m}$ 程度、好ましくは $0.5\mu\text{m}$ 程度に設定されている。ただし、Niメッキ層3LmN1、3LmN2の厚さは等しくなくても良い。

【0095】また、リード接合部のパッド側接合面（裏面）のNiメッキ層を無くしても良い。これにより、リード部3L1をボンディングパッド5に接合する際に、リード部3L1に硬いNiメッキ層があることに起因して半導体チップ1がダメージを受けてしまう問題を回避

することが可能となる。

【0096】第3は、図10および図11に示すように、リード部3L1のパッド側接合面（裏面）にNiメッキ層3LmN1を介してAuメッキ層3LmA1を設け、バンブランド部3L2のはんだボール側接合面にはNiメッキ層3LmN2のみを設けた場合の例である。

【0097】バンブランド部3L2のはんだボール側接合面にNiメッキ層3LmN2を設けた理由は、バンブランド3L2のはんだボール側接合面にAuメッキ層を設けなくてCuからなる芯材部3Lbを露出させたままだと、酸化し易い、腐食し易い、はんだの濡れ性が低下する等の不具合が生じるので、それを防ぐためである。

【0098】リード部3L1のパッド側接合面（裏面）の芯材部3Lbには、Niメッキ層3LmN1を介してAuメッキ層3LmA1が被覆されている。金メッキ層3LmA1の厚さは、例えば上記理由から $0.8\mu\text{m}\sim 3.0\mu\text{m}$ 、本実施の形態1では、例えば $1.5\mu\text{m}$ 程度に設定されている。

【0099】また、リード部3L1の主面側およびバンブランド部3L2のはんだボール側接合面（主面）の芯材部3Lbには、Niメッキ層3LmN2のみが被覆されている。

【0100】このNiメッキ層3LmN1、3LmN2の厚さはともに、例えば $0\sim 2.0\mu\text{m}$ 程度、好ましくは $0.5\mu\text{m}$ 程度に設定されている。ただし、Niメッキ層3LmN1、3LmN2の厚さは等しくなくても良い。

【0101】また、この場合もリード接合部のパッド側接合面のNiメッキ層を無くしても良い。これにより、リード部3L1をボンディングパッド5に接合する際に、リード部3L1に硬いNiメッキ層があることに起因して半導体チップ1がダメージを受けてしまう問題を回避することが可能となる。

【0102】第4は、図12および図13に示すように、リード部3L1のパッド側接合面（裏面）にAuメッキ層3LmA1を設け、バンブランド部3L2のはんだボール側接合面にパラジウム（Pd）メッキ層3LmP1を設けた場合の例である。

【0103】バンブランド部3L2の上面にPdメッキ層を設けた理由は、バンブランド3L2の上面にAuメッキ層を設けなくてCuからなる芯材部3Lbを露出させたままだと、酸化し易い、腐食し易い、はんだの濡れ性が低下する等の不具合が生じるので、それを防ぐためである。

【0104】リード部3L1のパッド側接合面（裏面）側の芯材部3LbにはAuメッキ層3LmA1が被覆されている。金メッキ層3LmA1の厚さは、例えば上記理由から $0.8\mu\text{m}\sim 3.0\mu\text{m}$ 、本実施の形態1では、例えば $1.5\mu\text{m}$ 程度に設定されている。

【0105】また、リード部3L1の主面側およびバンブランド部3L2のはんだボール側接合面の芯材部3L

bには、Pdメッキ層3LmP1が被覆されている。Pdメッキ層3LmP1の厚さは、例えば $0.05\mu\text{m}\sim 1.0\mu\text{m}$ 程度、好ましくは $0.1\mu\text{m}\sim 0.2\mu\text{m}$ 程度に設定されている。

【0106】第5は、図14および図15に示すように、リード部3L1のパッド側接合面（裏面）にNiメッキ層3LmN1を介してAuメッキ層3LmA1を設け、バンブランド部3L2のはんだボール側接合面にNiメッキ層3LmN2を介してPdメッキ層3LmP1を設けた場合の例である。

【0107】Niメッキ層を設けた理由は、半導体集積回路装置の所定の熱処理の際に、配線3Lの芯材部3Lbを構成するCuがAuメッキ層3LmA1およびPdメッキ層3LmP1に拡散してしまいリード接合部およびバンブ接合部の接合強度を劣化させてしまうのを抑制するためである。

【0108】リード部3L1のパッド側接合面（裏面）の芯材部3LbにはNiメッキ層3LmN1を介してAuメッキ層3LmA1が被覆されている。金メッキ層3LmA1の厚さは、例えば上記理由から $0.8\mu\text{m}\sim 3.0\mu\text{m}$ 、本実施の形態1では、例えば $1.5\mu\text{m}$ 程度に設定されている。

【0109】また、リード部3L1の主面側およびバンブランド部3L2のはんだボール側接合面の芯材部3LbにはNiメッキ層3LmN2を介してPdメッキ層3LmP1が被覆されている。

【0110】Pdメッキ層3LmP2の厚さは、例えば $0.05\mu\text{m}\sim 1.0\mu\text{m}$ 程度、好ましくは、例えば $0.1\mu\text{m}\sim 0.2\mu\text{m}$ 程度に設定されている。Niメッキ層3LmN1、3LmN2の厚さはともに、例えば $0\sim 2.0\mu\text{m}$ 程度、好ましくは $0.5\mu\text{m}$ 程度に設定されている。ただし、Niメッキ層3LmN1、3LmN2の厚さは等しくなくても良い。

【0111】また、この場合もリード接合部のパッド側接合面のNiメッキ層を無くしても良い。これにより、リード部3L1をボンディングパッド5に接合する際に、リード部3L1に硬いNiメッキ層があることに起因して半導体チップ1がダメージを受けてしまう問題を回避することが可能となる。

【0112】次に、上記のようなAuメッキ層の形成方法の一例を図16によって説明する。

【0113】まず、図16に示すように、配線3Lがパターン形成された帯状のテープ3Tにおいてバンブランド部3L2の露出面側に遮蔽板Mを密着させて被せる。

【0114】すなわち、フレキシブル配線基板3の配線3Lにおいてバンブランド部3L2およびリード部3L1の非接合面側は遮蔽板Mで覆われ、フレキシブル配線基板3のリード部3L1のパッド側接合面は遮蔽板Mから露出した状態となる。

【0115】この状態で、フレキシブル配線3をメッキ

浴に投入する。メッキ方法は、例えば電解メッキでも無電解メッキでも良い。すると、メッキ液は、遮蔽板Mで覆われたバンブランド部3 L2 にはあまり接触されないのに対し、遮蔽板Mから露出しているリード部3 L1 のはんだボール側接合面には効率的に接触するので、リード部3 L1 のリード接合面に所望の厚さのAuメッキ層を形成することができる。

【0116】その後、遮蔽板Mを取り外し、同様にしてAuメッキ処理をフレキシブル配線基板3に対して施す。ただし、このメッキ処理に際しては、フレキシブル配線基板3のバンブランド部3 L2 に要求される厚さ分だけAuメッキ層が被着されるようにする。

【0117】このようにAuメッキ処理を2回に分けて行うことにより、リード部3 L1 のパッド側接合面には厚く、バンブランド部3 L2 のはんだボール側接合面には薄い、各々に適した厚さのAuメッキ層を形成することが可能となっている。

【0118】ただし、Auメッキ層の形成方法は、これに限定されるものではなく種々変更可能であり、例えばはじめに配線3 Lのリード部3 L1 の表面およびバンブランド部3 L2 のはんだボール接合面に薄いAuメッキ層を形成した後、バンブランド部3 L2 の露出面側に遮蔽板Mを取り付けてリード部3 L1 のパッド側接合面に厚いAuメッキ層を形成するようにしても良い。

【0119】次に、本実施の形態1の半導体集積回路装置の組立方法を図17の工程に沿って図1～図22を用いて説明する。

【0120】まず、フレキシブル配線基板3上にエラストマ2を印刷法等によって形成する(工程101)。

【0121】この段階のフレキシブル配線基板3上には既に配線3 Lが形成されており、そのリード部3 L1 およびバンブランド部3 L2 には上記したようなメッキ処理が施されている。

【0122】ただし、この段階ではリード部3 L1 は断面略S字状に成形されておらず、平坦状となっている。また、テープ3 Tは複数のパッケージ形成領域が一体的になっており帯状となっている。

【0123】なお、フレキシブル配線基板3は、例えば次のようにして形成されている。まず、例えばポリイミド樹脂等からなる帯状のテープの一方の全面に、例えば接着材6 bを介してCu箔を接着する。このCu箔は、圧延Cu箔でも良いし、電解Cu箔でも良い。続いて、そのCu箔をフォトリソグラフィ技術およびエッチング技術によってパターンニングすることにより配線3 Lをパターン形成する。その後、テープ3 Tに開口部等を形成した後、配線3 Lの露出面に上記したようなメッキ処理を施し、フレキシブル配線基板3を形成する。

【0124】また、エラストマ2を形成するための印刷法は、例えば次のようにする。まず、図18に示すようなメタルマスク8 mを用意する。メタルマスク8 mに

は、互いに平行に配置された長形状の2つの開口部8 m1 が所定の距離を隔てて穿孔されている。この開口部8 m1 は、エラストマ2が形成される印刷エリアである。

【0125】続いて、図19に示すように、メタルマスク8 mをフレキシブル配線基板3のエラストマ形成面に位置合わせした状態で配置した後、そのメタルマスク8 m上に供給されたシリコーン樹脂等のようなエラストマ形成材料2 Aを、スキージ9で図19の印刷方向に引き伸ばし、その途中でメタルマスク8 mの開口部8 m1 を通じて流し込む。

【0126】その後、メタルマスク8 mを持ち上げる。これにより、メタルマスク8 mの開口部8 m1 の形状に成形されたエラストマ2をフレキシブル配線基板3上に印刷する。

【0127】ただし、エラストマ2の形成方法は、印刷法に限定されるものではなく種々変更可能であり、例えばテープ状のエラストマ形成体を所望するエラストマ2の形状および大きさに切断し、それをフレキシブル配線基板3に接着材で接着しても良い。

【0128】このようにしてエラストマ2を形成した後、エラストマ2の上面に、例えばシリコーン系の材料からなる接着材6 aを印刷法により塗布し(工程102)、その接着材6 aを介して半導体チップ1をエラストマ2に接着する(工程103)。

【0129】この工程では、例えば次のようにする。まず、半導体チップ1の主面、すなわち、ボンディングパッド5が形成された面を、エラストマ2の接着材6 aが塗布された面に対向させる。

【0130】続いて、半導体チップ1の主面上のボンディングパッド5と、フレキシブル配線基板3上のリード部3 L1 との相対位置が一致するように、半導体チップ1とフレキシブル配線基板3との平面的な位置合わせを行う。

【0131】その後、そのような位置合わせ状態を確保したまま、半導体チップ1の主面をエラストマ2の接着材塗布面に接触させることにより、半導体チップ1を接着材6 aによってエラストマ2に接着する。

【0132】このように半導体チップ1をエラストマ2に接着した後、フレキシブル配線基板3のリード部3 L1 と半導体チップ1のボンディングパッド5とをシングルボンディング法等によって接合する(工程104)。

【0133】この工程では、例えば次のようにする。まず、半導体チップ1の主面をボンディングツール10側に向けた状態とした後、図20に示すように、ボンディングツール10をリード部3 L1 の先端上方に配置する。

【0134】続いて、そのボンディングツール10を半導体チップ1の主面側(図20の下方)に垂直に打ち下ろすことにより、リード部3 L1 を図21に示すよう

に撓ませる。

【0135】さらに、図22に示すように、そのボンディングツール10を、リード部3L1の先端部がボンディングパッド5の上方に位置する程度までエラストマ2の側面側(図の左方向)に水平に移動させ、リード部3L1をさらに撓ませた後、半導体チップ1の主面側に下降させ、リード部3L1の先端とボンディングパッド5とを超音波熱圧着法等によって接合する。

【0136】このようにしてフレキシブル配線基板3のリード部3L1と半導体チップ1のボンディングパッド5とを接合した後、テープ3Tの開口部3T1から露出する溝、すなわち、互に対向するエラストマ2の側面と半導体チップ1の主面とで形成される溝内に封止樹脂7bをディスペンサ方式によって流し込む(工程105)。

【0137】これにより、リード部3L1、半導体チップ1の主面およびボンディングパッド5を被覆し、半導体集積回路装置の信頼性を向上させる。

【0138】次いで、このような封止工程の後、この段階のフレキシブル配線基板3を構成する帯状のテープ3Tを、半導体チップ1の外周よりもやや外側の位置で切断することにより、CSP形の半導体集積回路装置のパッケージ外形を形成する(工程106)。

【0139】この段階で、半導体チップ1の側面およびエラストマ2の側面等を封止樹脂7aで被覆しても良い。これにより、半導体集積回路装置の信頼性をさらに向上させることが可能となる。

【0140】なお、配線基板3のバンプランド部3L2には、はんだバンプ電極を設けなくて、バンプランド部3L2を露出させたままとする、いわゆるランドグリッドアレイ形の半導体集積回路装置の場合には、この段階で良否試験を行い組立工程を終了する。

【0141】続いて、上記したテープ切断工程の後、例えばPb-Sn合金等からなるはんだボールをフレキシブル配線基板3のバンプランド部3L2に接合することにより、はんだバンプ電極3Bを形成する(工程107)。

【0142】その後、このCSP形の半導体集積回路装置に対して所定の検査を行うことにより良否を判定する(工程108)。このようにして、CSP形の半導体集積回路装置の組立工程を終了する。

【0143】次に、本実施の形態1のCSP形の半導体集積回路装置をメモ리카ードに適用した場合を図23および図24に示す。

【0144】メモ리카ード11を構成するプリント配線基板12上には、本実施の形態で説明した複数のCSP形の半導体集積回路装置13と、例えば1つのQFP(QuadFlat Package)形の半導体集積回路装置14とが実装されている。

【0145】各CSP形の半導体集積回路装置13に

は、例えばDRAM、SRAM、マスクROM(Read Only Memory)またはEEPROM(Electrically Erasable Programmable ROM)等のような記憶回路が形成されている。このCSP形の半導体集積回路装置13のはんだバンプ電極3Bはプリント配線基板12のランドと電気的に接続されている。

【0146】なお、上記したいわゆるランドグリッドアレイ形の半導体集積回路装置の場合は、プリント配線基板12のランド側に、はんだバンプ電極3B形成用のはんだボールを被着しておいても良い。

【0147】また、QFP形の半導体集積回路装置14には、例えば各CSP形の半導体集積回路装置の動作およびメモ리카ード11の記憶回路全体の動作を制御するコントロール回路が形成されている。このQFP形の半導体集積回路装置14のリード部14aはプリント配線基板12のランドと電気的に接続されている。なお、コントロール回路は、メモ리카ード11を装着する情報処理装置側に設けても良い。

【0148】各CSP形の半導体集積回路装置13とQFP形の半導体集積回路装置14とは、プリント配線基板に形成された上記ランドおよび配線を通じて電気的に接続されており、これによりメモ리카ード内に所定構成の記憶回路が形成されている。

【0149】また、プリント配線基板12の配線は、プリント配線基板12の一短辺側に所定の間隔で規則的に配置された複数の端子15と電気的に接続されている。この端子15は、メモ리카ード11の所定構成の記憶回路と、メモ리카ード11を装着する情報処理装置のインターフェイス回路とを電気的に接続するための接続用の端子である。

【0150】このメモ리카ード11においては、メモリとして本実施の形態1のようなCSP形の半導体集積回路装置13を用いているので、小形、軽量および薄形にすることができるとともに、メモリ容量の増大を推進することが可能となっている。

【0151】このように本実施の形態1によれば、以下の効果を得ることが可能となる。

【0152】(1).フレキシブル配線基板3のリード部3L1のバッド側接合面におけるAuメッキ層の厚さと、バンプランド部3L2のはんだボール側接合面におけるAuメッキ層の厚さとを変えたことにより、エージング検査等による高温放置後においても、バッド側接合面およびはんだボール側接合面の両方において、十分な接合強度を得ることが可能となる。

【0153】(2).リード接合部およびバンプ接合部の各々に、各々の接合強度を下げることなく、必要最小限のAuメッキ層を形成することができるので、高価なAuの使用量を最小限に抑えることができ、半導体集積回路装置の製造コストを下げる事が可能となる。

【0154】(3).リード部3L1のバッド側接合面にお

いて芯材部3LbとAuメッキ層3LmA1との間およびバンブランド部3L2のはんだボール側接合面において芯材部3LbとAuメッキ層3LmA2との間に、Niメッキ層3LmN1、3LmN2を設けたことにより、半導体集積回路装置の製造工程や実装工程等の熱処理に際して芯材部3LbのCuがAuメッキ層3LmA1、3LmA2に拡散するのを抑制することができるので、その各々の接合部の接合上の信頼性を向上させることが可能となる。

【0155】(4).上記(1)～(3)により、信頼性の高い半導体集積回路装置を低コストで製造することが可能となる。

【0156】(実施の形態2)図25は本発明の他の実施の形態である半導体集積回路装置の平面図、図26は図25のXXVI-XXVI線の断面図、図27は図25の半導体集積回路装置の配線基板におけるメッキ処理方法を説明するための説明図である。

【0157】本実施の形態2の半導体集積回路装置においては、図25および図26に示すように、フレキシブル配線基板3の配線3Lの形成されていないテープ3T面をエラストマ2に接触させるとともに、テープ3T上の配線3Lを、例えばソルダレジスト等のような感光性絶縁膜16によって被覆する構造を有している。これ以外は、前記実施の形態1と同じ構造になっている。

【0158】この感光性絶縁膜16は、例えばエポキシ、ポリスチロール、ポリイミド等を含む材料からなり、耐熱性があり、はんだに濡れない性質を有し、また、湿気や汚染による配線基板表面の劣化を防ぎ、さらに、フラックスや洗浄液にさらされることに耐え得る性質をもつものが好ましい。なお、この感光性絶縁膜16には、例えば電子線等のような放射線の照射によって化学的、物理的性質が変化する高分子材料も含むとする。

【0159】フレキシブル配線基板3の配線形成面側にエラストマ2を形成する構造の場合、その配線形成面にエラストマ2を形成する際に、配線3Lと配線3Lとの間の隙間等にボイドが形成されてしまう場合がある。

【0160】しかし、このボイドは、この半導体集積回路装置の製造工程や実装工程等における熱処理に際して膨張してしまい、フレキシブル配線基板3の変形、剥離あるいは破壊の原因となる場合がある。

【0161】そこで、本実施の形態2においては、平坦なテープ3T上にエラストマ2を形成することにより、エラストマ2の形成時にフレキシブル配線基板3とエラストマ2との間にボイドが形成されるのを防止することができるので、製造時や実装時等の熱処理時におけるCSP形の半導体集積回路装置の信頼性を向上させることが可能となっている。

【0162】また、テープ3Tに穿孔された開口部3T2(図1、図2参照)を通じてはんだバンパ電極3Bと配線3Lのバンブランド部3L2とを接続する構造の場

合、その開口部3T2をパンチ等のような機械的な加工方法で形成するので、開口径の下限に限界がありはんだバンパ電極3Bの寸法縮小を阻害するとともに、はんだバンパ電極3Bが微細になるにつれて開口部3T2のアスペクト比(開口深さと開口径との比)が大きくなり、はんだバンパ電極3Bとバンブランド部3L2との接合上の信頼性も低下するおそれがある。

【0163】そこで、本実施の形態2においては、テープ3T上の配線3Lをテープ3Tよりも薄く形成することのできる感光性絶縁膜16によって被覆し、その感光性絶縁膜16にフォトリソグラフィ技術によって開口部16aを穿孔し、その開口部16aを通じてはんだバンパ電極3Bと配線3Lのバンブランド部3L2とを接合させる構造となっている。

【0164】この場合、はんだバンパ電極3Bとバンブランド部3L2とを接続する開口部16aを微細加工が可能なフォトリソグラフィ技術によって形成するので、テープ3Tに形成する開口部3T2(図1、図2参照)よりも小さな開口部16aを形成することが可能となっている。

【0165】また、感光性絶縁膜16はテープ3Tよりも薄く形成することができるので、開口部16aのアスペクト比の増大を防ぐことができ、はんだバンパ電極3Bとバンブランド部3L2との接合上の信頼性も向上させることが可能となっている。

【0166】このような構造の半導体集積回路装置において、フレキシブル配線基板3の配線3Lに施すメッキ処理方法は、基本的に前記実施の形態1で述べたものと同じである。

【0167】すなわち、図27に示すように、配線3Lがパターン形成された帯状のテープ3Tの配線形成面に感光性絶縁膜16を塗布し、開口部16aをフォトリソグラフィ技術によって形成し、さらに硬化する。

【0168】続いて、配線3Lがパターン形成された帯状のテープ3Tにおいてバンブランド部3L2の露出面側に感光性絶縁膜16を解して遮蔽板Mを密着させて被せる。

【0169】すなわち、フレキシブル配線基板3の配線3Lにおいてバンブランド部3L2およびリード部3L1の非接合面側は遮蔽板Mで覆われ、フレキシブル配線基板3のリード部3L1のパッド側接合面は遮蔽板Mから露出した状態となる。

【0170】この状態で、フレキシブル配線3をメッキ浴に投入する。メッキ方法は、例えば電解メッキでも無電解メッキでも良い。すると、メッキ液は、遮蔽板Mで覆われたバンブランド部3L2にはあまり接触されないのに対し、遮蔽板Mから露出しているリード部3L1のはんだボール側接合面には効率的に接触するので、リード部3L1のリード接合面に所望の厚さのAuメッキ層を形成することができる。

【0171】その後、遮蔽板Mを取り外し、同様にしてAuメッキ処理をフレキシブル配線基板3に対して施す。ただし、このメッキ処理に際しては、フレキシブル配線基板3のバンブランド部3L2に要求される厚さ分だけAuメッキ層が被着されるようにする。

【0172】このようにAuメッキ処理を2回に分けて行うことにより、リード部3L1のパッド側接合面には厚く、バンブランド部3L2のはんだボール側接合面には薄い、各々に適した厚さのAuメッキ層を形成することが可能となっている。

【0173】ただし、Auメッキ層の形成方法は、これに限定されるものではなく種々変更可能であり、例えばはじめに配線3Lのリード部3L1の表面およびバンブランド部3L2のはんだボール接合面に薄いAuメッキ層を形成した後、バンブランド部3L2の露出面側に遮蔽板Mを取り付けてリード部3L1のパッド側接合面に厚いAuメッキ層を形成するようにしても良い。

【0174】このように、本実施の形態2によれば、前記実施の形態1で得られた効果の他に以下の効果を得ることが可能となっている。

【0175】(1).平坦なテープ3T上にエラストマ2を形成することにより、エラストマ2の形成時にフレキシブル配線基板3とエラストマ2との間にボイドが形成されるのを防止することができるので、製造時および実装時における半導体集積回路装置の破壊等を防止することが可能となる。

【0176】(2).フレキシブル配線基板3上の配線3Lを感光性絶縁膜16によって被覆したことにより、はんだバンパ電極3Bとバンブランド部3L2とを接続する開口部16aを微細加工が可能なフォトリソグラフィ技術によって形成することができるので、その開口部16aをテープ3Tの開口部よりも小さくすることが可能となる。したがって、はんだバンパ電極3Bの寸法縮小を推進することが可能となる。

【0177】(3).フレキシブル配線基板3上の配線3Lをテープ3Tよりも薄く形成することが可能な感光性絶縁膜16によって被覆したことにより、開口部16aのアスペクト比の増大を防ぐことができ、はんだバンパ電極3Bとバンブランド部3L2との接合上の信頼性も向上させることが可能となる。

【0178】(4).上記(1)～(3)により、CSP形の半導体集積回路装置の信頼性および歩留まりを向上させることが可能となる。

【0179】(実施の形態3)図28は本発明の他の実施の形態である半導体集積回路装置の平面図、図29は図28のXXIX-XXIX線の断面図である。

【0180】本実施の形態3の半導体集積回路装置においては、図28および図29に示すように、半導体チップ1の主面の外周近傍に複数のボンディングパッド5が配置されている。半導体チップ1の主面上には、半導体

チップ1の外形よりも小さい外形のフレキシブル配線基板3が、平面長方形のエラストマ2を介して接合されている。

【0181】フレキシブル配線基板3の外周からは半導体チップ1の外周方向に延びる複数のリード部3L1が突出されており、そのリード部3L1の先端部が半導体チップ1の主面上のボンディングパッド5と電気的に接続されている。

【0182】また、フレキシブル配線基板3の主面上には、複数のはんだバンパ電極3Bが所定の距離を隔てて規則的に配置されている。各はんだバンパ電極3Bは、テープ3Tに穿孔された開口部3T1を通じてフレキシブル配線基板3のバンブランド部3L2と電気的に接続されている。

【0183】また、エラストマ2およびフレキシブル配線基板3の外周側面には、封止樹脂7aが被覆されており、これにより、半導体チップ1の主面、ボンディングパッド5およびリード部3L1が被覆されている。

【0184】このような構成以外は前記実施の形態1と同じである。したがって、本実施の形態3によれば、前記実施の形態1で得られた効果と同様の効果を得ることが可能となっている。

【0185】(実施の形態4)図30は本発明の他の実施の形態である半導体集積回路装置の平面図、図31は図30のXXXI-XXXI線の断面図である。

【0186】本実施の形態4の半導体集積回路装置は、図30および図31に示すように、基本的には前記実施の形態3で説明した構造と同じである。異なるのは、フレキシブル配線基板3の配線3Lの形成されていない面がエラストマ2と接触するようになっているとともに、テープ3T上の配線3Lを、例えばソルダーレジスト等のような感光性絶縁膜16によって被覆する構造となっていることである。

【0187】すなわち、本実施の形態4においては、前記実施の形態2と同様に、フレキシブル配線基板3の平坦なテープ3T上にエラストマ2を形成する構造となっている。

【0188】また、本実施の形態4においては、前記実施の形態2と同様に、テープ3T上の配線3Lをテープ3Tよりも薄く形成することのできる感光性絶縁膜16によって被覆し、その感光性絶縁膜16にフォトリソグラフィ技術によって開口部16aを穿孔し、その開口部16aを通じてはんだバンパ電極3Bと配線3Lのバンブランド部3L2とを接合させる構造となっている。

【0189】したがって、本実施の形態4においては、前記実施の形態3で得られた効果の他に、前記実施の形態2で得られた効果を得ることが可能となっている。

【0190】(実施の形態5)図32は本発明の他の実施の形態である半導体集積回路装置の平面図、図33は図32のXXXIII-XXXIII線の断面図である。

【0191】本実施の形態5の半導体集積回路装置は、図32および図33に示すように、保護部材17を有している。保護部材17は、例えばCu等のような熱伝導率の高い金属からなり、その一方の面における中央には、断面凹状の窪みが形成されており、その窪み内に半導体チップ1がその主面を図33の下方に向けた状態で収められている。

【0192】この半導体チップ1の裏面は接着材6cを介して保護部材17の窪みの底面に接合されている。半導体チップ1の四側面は、その四側面を取り囲むように延在する保護部材17の外周の脚部17aによって囲まれている。

【0193】したがって、半導体チップ1の動作時に生じた熱を、半導体チップ1の裏面および側面から保護部材17を通じて放散することも可能な構造となっている。

【0194】半導体チップ1の主面は、保護部材17からは露出されており、その主面高さが、保護部材17の外周における脚部17aの上面高さとほぼ一致する程度に設定されている。この半導体チップ1の主面の外周近傍には、その外周に沿って複数のボンディングパッド5が配置されている。

【0195】半導体チップ1の主面上には、ボンディングパッド形成領域が露出するように形成された平面四角形状のエラストマ2aが接着材6aを介して接着されている。

【0196】また、保護部材17の脚部17a上には、その脚部17a上面の形状に沿って形成された平面枠状のエラストマ2bが接着材6dを介して接着されている。なお、エラストマ2a、2bは、例えば同時に形成されており、その上面の高さもほぼ同一となるように形成されている。

【0197】このようなエラストマ2a、2b上には、フレキシブル配線基板3がそのテープ3T上に形成された配線3Lの形成面をエラストマ2a、2b側に向けた状態で接合されている。

【0198】このフレキシブル配線基板3において半導体チップ1の四辺の位置には、半導体チップ1の外周のボンディングパッド5が露出するような比較的幅広の4つの開口部3T1が形成されている。

【0199】すなわち、フレキシブル配線基板3は、半導体チップ1の主面上に配置された矩形状部と、保護部材17の脚部17a上に配置された枠状部とで構成されており、その矩形状部が、その四隅から枠状部の内周の四隅に延びるテープ3Tによって繋がり支持される構造となっている。

【0200】フレキシブル配線基板3の矩形状部の外周からは配線3Lのリード部3L1が突出されている。このリード部3L1は、例えば断面略S字状に撓んだ状態で半導体チップ1の主面外周のボンディングパッド5と

電気的に接続されている。

【0201】また、フレキシブル配線基板3の矩形状部における配線3Lのバンブランド部3L2は、テープ3Tに穿孔された開口部3T2を通じてはんだバンパ電極3Bと電気的に接続されている。このフレキシブル配線基板3の矩形状部の主面上においては、はんだバンパ電極3Bが所定の距離を隔てて規則的に配置されている。

【0202】一方、フレキシブル配線基板3の枠状部の内周からも配線3Lのリード部3L1が突出されている。このリード部3L1は、例えば断面略S字状に撓んだ状態で半導体チップ1の主面外周のボンディングパッド5と電気的に接続されている。このリード部3L1のメッキ構造も前記実施の形態1と同じなので説明を省略する。

【0203】また、フレキシブル配線基板3の枠状部における配線3Lのバンブランド部3L2は、テープ3Tに穿孔された開口部3T2を通じてはんだバンパ電極3Bと電気的に接続されている。バンブランド部3L2のメッキ構造も前記実施の形態1と同じなので説明を省略する。

【0204】このフレキシブル配線基板3の枠状部の主面上においては、はんだバンパ電極3Bが枠状部の外周に沿って規則的に配置されている。すなわち、半導体チップ1の外周よりも外側に配置されたフレキシブル配線基板3における枠状部の主面上にもはんだバンパ電極3Bが配置されている。

【0205】これにより、フレキシブル配線基板3の矩形状部だけにはんだバンパ電極3Bを設けた場合に比べて配置可能なはんだバンパ電極3Bの数を増やすことができるので、この半導体集積回路装置の多ピン要求に対応することが可能な構造となっている。

【0206】フレキシブル配線基板3の開口部3T1から露出する溝部分には、封止樹脂7cが充填されている。これにより、半導体チップ1の主面、ボンディングパッド5およびリード部3L1が被覆され、半導体集積回路装置の信頼性を向上させることが可能な構造となっている。

【0207】このように、本実施の形態5によれば、前記実施の形態1で得られた効果の他に以下の効果を得ることが可能となっている。

【0208】(1).半導体チップ1の外周の外側に配置されたフレキシブル配線基板3の枠状部上にもはんだバンパ電極3Bを配置することができるので、半導体集積回路装置の多ピン要求に対応することが可能となる。

【0209】(2).半導体チップ1の外周に保護部材17を設けたことにより、外部からの衝撃に強く、搬送性を向上させることが可能となる。

【0210】(3).半導体チップ1の裏面を保護部材17に接合し、半導体チップ1の側面を保護部材17で取り囲む構造としたことにより、半導体チップ1の裏面およ

び側面からも熱を逃がすことができるので、半導体集積回路装置の放熱性能を向上させることが可能となる。したがって、半導体集積回路装置の動作信頼性および寿命を向上させることが可能となる。

【0211】（実施の形態6）図34は本発明の他の実施の形態である半導体集積回路装置の平面図、図35は図34のXXXV-XXXV線の断面図である。

【0212】本実施の形態6の半導体集積回路装置は、図34および図35に示すように、基本的には前記実施の形態5で説明した構造と同じである。異なるのは、フレキシブル配線基板3の配線3Lの形成されていない面がエラストマ2と接触するようになっているとともに、テープ3T上の配線3Lを、例えば溶剤レジスト等のような感光性絶縁膜16によって被覆する構造となっていることである。

【0213】すなわち、本実施の形態6においては、前記実施の形態2と同様に、フレキシブル配線基板3の平坦なテープ3T上にエラストマ2を形成する構造となっている。

【0214】また、本実施の形態6においては、前記実施の形態2と同様に、テープ3T上の配線3Lをテープ3Tよりも薄く形成することのできる感光性絶縁膜16によって被覆し、その感光性絶縁膜16にフォトリソグラフィ技術によって開口部16aを穿孔し、その開口部16aを通じてはんだバンプ電極3Bと配線3Lのバンプランド部3L2とを接合させる構造となっている。

【0215】したがって、本実施の形態6においては、前記実施の形態5で得られた効果の他に、前記実施の形態2で得られた効果を得ることが可能となる。

【0216】（実施の形態7）図36は本発明の他の実施の形態である半導体集積回路装置の要部平面図、図37は図36のXXXVII-XXXVII線の断面図である。

【0217】本実施の形態7においては、図36および図37に示すように、フレキシブル配線基板3の中央に、そのテープ3Tの上下面を貫通する開口部3T1が穿孔されているとともに、その開口部3T1に半導体チップ1がその主面を露出させた状態で収まりよく配置されている。この半導体チップ1は、その主面がテープ3Tの平坦面（非配線形成面）と対向する方向をむくように配置されている。

【0218】このフレキシブル配線基板3のテープ3Tの裏面における外周近傍には、テープ3Tの外周に沿って延在する保護枠体18aが接着材6eを介して接着されている。これにより、フレキシブル配線基板3の変形等が防止されている。

【0219】また、フレキシブル配線基板3のテープ3Tの主面には配線3Lが接着材6bによって接着されている。また、テープ3Tの主面には、例えば溶剤レジスト等のような感光性絶縁膜16が堆積されており、これによって配線3Lが被覆されている。

【0220】この配線3Lのリード部3L1はフレキシブル配線基板3の内周から突出され、例えば断面略S字状に成形されて半導体チップ1の外周近傍のボンディングパッド5と電気的に接続されている。このリード部3L1にも前記実施の形態1と同様なメッキ処理が施されている。

【0221】また、配線3Lのバンプランド部3L2は感光性絶縁膜16に穿孔された微細な開口部16aを通じてはんだバンプ電極3Bと電気的に接続されている。このバンプランド部3L2のバンプ接合面にも前記実施の形態1と同様なメッキ処理が施されている。はんだバンプ電極3Bは、フレキシブル配線基板3の主面上にその外周に沿って規則的に配置されている。

【0222】フレキシブル配線基板3の開口部3Tには封止樹脂7dが充填されている。これにより、半導体チップ1は比較的しっかり固定される構造となっている。また、半導体チップ1の主面、側面、ボンディングパッド5およびリード部3L1が被覆されており、半導体集積回路装置の信頼性を向上させることが可能な構造となっている。なお、図36では図面を見易くするため封止樹脂7dを図示していない。

【0223】このように本実施の形態7によれば、前記実施の形態1、2で得られた効果と同様の効果を得ることが可能となる。

【0224】（実施の形態8）図38は本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【0225】本実施の形態8の半導体集積回路装置は、図38に示すように、基本的には前記実施の形態7で説明した構造とほぼ同じである。平面図は、前記実施の形態7で用いた図36と同じである。

【0226】異なるのは、半導体チップ1の主面の高さ、フレキシブル配線基板3の配線3Lの形成面の高さがほぼ同一に設定されており、配線3Lのリード部3L1が平坦な状態で半導体チップ1の主面上のボンディングパッド5と電気的に接続されていることである。

【0227】すなわち、リード部3L1に撓みが形成されていない。ただし、リード部3L1のリード接合面およびバンプランド部3L2のバンプ接合面には前記実施の形態1で説明したのと同様のメッキ処理が施されている。

【0228】したがって、本実施の形態8でも前記実施の形態1、2で得られた効果と同様の効果を得ることが可能となる。

【0229】（実施の形態9）図39は本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【0230】本実施の形態9の半導体集積回路装置は、図39に示すように、基本的には前記実施の形態7で説明した構造とほぼ同じである。バンプ電極形成面側の平

面図は、前記実施の形態7で用いた図36と同じである。異なるのは、次の点である。

【0231】第1に、半導体チップ1の主面の高さと、フレキシブル配線基板3の配線3Lの形成面の高さとがほぼ同一に設定されており、配線3Lのリード部3L1が平坦な状態で半導体チップ1の主面上のボンディングパッド5と電氣的に接続されていることである。

【0232】すなわち、リード部3L1に撓みが形成されていない。ただし、リード部3L1のリード接合面およびバンブラント部3L2のバンブ接合面には前記実施の形態1で説明したのと同様のメッキ処理が施されている。

【0233】第2に、半導体チップ1の裏面が接着材6fによって放熱板19に接合されており、半導体チップ1で生じた熱を半導体チップ1の裏面から放散することが可能な構造となっていることである。

【0234】放熱板19は、例えばCu等のような熱伝導率の高い金属からなる。また、接着材6fは、例えば放熱性および耐熱性を有する接着材料からなる。

【0235】放熱板19の外周面とテープ3Tの非バンブ電極形成面との間には、テープ3Tの平面形状とほぼ同形の保護枠体18bが半導体チップ1の側面を取り囲むように設置されている。この保護枠体18bは、接着材6gによって放熱板19と接合されている。

【0236】保護枠体18bは、例えば放熱板19と同じ材料からなる。これは、半導体チップ1で生じた熱を放散させる機能を持たせたこと、放熱板19との接合性を考慮したこと、熱発生時等の放熱板19との接合上の信頼性を考慮したこと等からである。また、接着材6gも、例えば放熱性および耐熱性を有する接着材料からなる。

【0237】なお、半導体チップ1の主面およびリード部3L1は封止樹脂7dによって被覆されており、これによって半導体集積回路装置の信頼性が向上される構造となっている。

【0238】このように、本実施の形態9においては、前記実施の形態1、2で得られた効果の他に、以下の効果を得ることが可能となる。

【0239】(1).半導体チップ1を保護枠体18bおよび放熱板19と取り囲む構造としたことにより、外部からの衝撃に強く、搬送性を向上させることが可能となる。

【0240】(2).半導体チップ1の裏面を放熱板19に接合し、半導体チップ1の側面を放熱性の高い保護枠体18bで取り囲む構造としたことにより、半導体チップ1の裏面および側面からも熱を逃がすことができるので、半導体集積回路装置の放熱性能を向上させることが可能となる。したがって、半導体集積回路装置の動作信頼性および寿命を向上させることが可能となる。

【0241】(実施の形態10) 図40は本発明の他の

実施の形態である半導体集積回路装置の要部平面図、図41は図40のXXXXI-XXXXI線の断面図、図42～図44は図40の半導体集積回路装置の製造工程中における要部断面図である。

【0242】本実施の形態10においては、図40および図41に示すように、半導体チップ1の主面の最上層に形成されたパッシベーション膜4bの開口部4b1において、リード部3L1の先端側に位置する開口端が、前記実施の形態1の場合よりもボンディングパッド5から離間する方向に後退して形成されている。

【0243】これ以外の構成は前記実施の形態1と同じである。なお、図41の配線3Lにはメッキ構造は図示していないが、前記実施の形態1と同様のメッキ処理が施されている。

【0244】この半導体集積回路装置では、リード部3L1とボンディングパッド5とをボンディングツールによって接合する場合に、前記実施の形態1で説明したように、リード部3L1を、半導体チップ1の主面に接するすれすれの位置まで打ち下ろした後、その打ち下ろし方向とは垂直な方向にずらし、さらに、ボンディングパッド5上で打ち下ろすようにしている。

【0245】このため、1回目の打ち下ろしの際に、リード部3L1のパッド側接合面が半導体チップ1の主面に接触してしまう場合があり、そのために、パッシベーション膜4bや半導体チップ1にダメージを与えたり、リード部3L1のパッド側接合面にパッシベーション膜4bの成分が付着しボンディング性を劣化させたりするおそれがある。

【0246】そこで、本実施の形態10においては、半導体チップ1の主面の最上層に形成されたパッシベーション膜4bの開口部4b1においてリード部3L1の先端側の開口端部を、リード接合工程においてリード部3L1を半導体チップ1の主面側に打ち下ろした際にそのリード部3L1が半導体チップ1の主面上のパッシベーション膜4bに接触しない程度に、ボンディングパッド5から離間する方向に後退させて形成されている。

【0247】ここで、前記実施の形態1においては、パッシベーション膜4aの開口部4a1の端部からパッシベーション膜4bの開口部4b1の端部までの長さが、例えば25μm程度である。

【0248】また、ボンディングツールの押圧面の寸法は、ボンディングパッド5と同等またはそれよりも若干小さい。ボンディングパッド5のサイズは、例えば100μm×100μm程度である。

【0249】したがって、製品によって変わるので一概には言えないが、本実施の形態10におけるパッシベーション膜4aの開口部4a1の端部からパッシベーション膜4bの開口部4b1の端部までの長さLは、例えば125μm程度が好ましい。

【0250】次に、本実施の形態10の半導体集積回路

装置におけるリード部3L1とボンディングパッド5とのボンディング処理工程を図42～図44によって説明する。なお、図42～図44においても配線3Lにはメッキ構造を図示していないが、前記実施の形態1と同様のメッキ処理が施されている。

【0251】まず、半導体チップ1の主面をボンディングツール10側に向けた後、図42に示すように、ボンディングツール10をリード部3L1の先端上方に配置する。

【0252】続いて、そのボンディングツール10を半導体チップ1の主面側（図42の下方向）に垂直に打ち下ろすことにより、リード部3L1を図43に示すように撓ませる。

【0253】この際、このリード部3L1の下方にはパッシベーション膜4bがないので、例えばパッシベーション膜4や半導体チップ1にダメージを与えたり、リード部3L1のパッド側接合面にパッシベーション膜4bの成分が付着しボンディング性を劣化させたりする等、リード部3L1がパッシベーション膜4bに接触することによって起因する問題も生じない。

【0254】続いて、そのボンディングツール10を、リード部3L1の先端部がボンディングパッド5の上方に位置する程度までエラストマ2の側面側（図43の左方向）に水平に移動させた後、ボンディングツール10を半導体チップ1の主面側に下降させ、図44に示すように、リード部3L1の先端とボンディングパッド5とを超音波熱圧着法等によって接合する。

【0255】このように、本実施の形態10によれば、前記実施の形態1で得られた効果の他に、以下の効果を得ることが可能となる。

【0256】(1).半導体チップ1主面の最上層におけるパッシベーション膜4bの開口部4b1においてリード部3L1の先端側の開口端部を、ボンディングパッド5から離間する方向に後退させたことにより、リード接合工程においてリード部3L1を半導体チップ1の主面側に打ち下ろした際、そのリード部3L1がパッシベーション膜4bに接触しないようにすることが可能となる。

【0257】(2).上記(1)により、リード接合工程時にリード部3L1が半導体チップ1の主面側にダメージを与える問題を回避することが可能となる。

【0258】(3).上記(1)により、リード接合工程時にリード部3L1のパッド側接合面にパッシベーション膜4bの成分が付着しボンディング性を劣化させる問題を回避することができるので、リード部3L1とボンディングパッド5との接合上の信頼性を向上させることが可能となる。

【0259】(4).上記(1)～(3)により、半導体集積回路装置の歩留りおよび信頼性を向上させることが可能となる。

【0260】（実施の形態11）図45は本発明の他の

実施の形態である半導体集積回路装置の要部断面図である。

【0261】図45に示す本実施の形態11の半導体集積回路装置の構造は、前記実施の形態2の半導体集積回路装置の構造とほぼ同一である。異なるのは、フレキシブル配線基板3のテープ3Tの裏面と、エラストマ2との間に第2層目の配線3Lが設けられていることである。

【0262】この第2層目の配線3Lは、例えば電源電圧または接地電圧等のような基準電圧用の配線であり、テープ3Tの裏面の全面を被覆するように形成されている。したがって、テープ3Tにおいて第2層目の配線3Lの形成面には第2層目の配線3Lによる凹凸は形成されない。すなわち、フレキシブル配線基板3がエラストマ2と接触する面は平坦になっている。

【0263】このため、エラストマ2の形成時にフレキシブル配線基板3とエラストマ2との間にボイドが形成されるのを防止することができるので、製造時および実装時等の熱処理時におけるCSP形の半導体集積回路装置の破壊等を防止することが可能となっている。

【0264】第2層目の配線3Lは、テープ3Tおよび感光性絶縁膜16に穿孔された開口部20を通じてはんだバンプ電極3Bと電気的に接続されている。

【0265】なお、開口部20において第1層目の配線3Lが接する部分には絶縁膜21が設けられており、はんだバンプ電極3Bと第1層目の配線3Lとが絶縁されている。

【0266】第2層目の配線3Lの芯材部は、例えばCu等からなり、第2層目の配線3Lとボンディングパッド5とを接続するリード部の表面およびバンプランド部のバンプ接合面には、前記実施の形態1と同様のメッキ処理が施されている。

【0267】したがって、本実施の形態11においては前記実施の形態1、2で得られた効果の他に、以下の効果を得ることが可能となる。

【0268】(1).フレキシブル配線基板3の配線層を2層としたことにより、配線の引き回しの自由度を向上させることができるので、フレキシブル配線基板3の配線設計の容易性を向上させることが可能となる。

【0269】(2).フレキシブル配線基板3の配線層を2層とし、一方の配線層を、例えば電源電圧または接地電圧等のような基準電圧用のベタ配線層としたことにより、他方の配線層の配線3Lで生じるノイズを低減することができるので、半導体集積回路装置の動作信頼性を向上させることが可能となる。

【0270】（実施の形態12）図46は本発明の他の実施の形態である半導体集積回路装置の要部断面図、図47(a)、(b)は図46の半導体集積回路装置のフレキシブル配線における配線の断面状態を模式的に示した説明図、図48はフレキシブル配線基板のリード部に

50 【0287】(2).本発明によれば、配線基板の配線のり

ード部において半導体チップの外部端子との接合面および配線基板の配線のランド部においてはんだバンプ電極との接合面の各々に、その各々の接合強度を下げることなく、必要最小限のAu層を形成することができるので、高価なAuの使用量を最小限に抑えることができ、半導体集積回路装置の製造コストを下げる事が可能となる。したがって、信頼性の高い半導体集積回路装置を低コストで製造することが可能となる。

【0288】(3).配線基板の配線のリード部において半導体チップの外部端子との接合面および配線基板の配線のランド部においてはんだバンプ電極との接合面の各々において、配線の芯材部とAu層との間にバリア金属層を設けたことにより、半導体集積回路装置の製造工程や実装工程等の熱処理に際して芯材部の構成原子がAu層に拡散するのを抑制することができるので、その各々の接合部の接合上の信頼性を向上させることが可能となる。したがって、半導体集積回路装置の歩留りおよび信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の平面図である。

【図2】図1のII-II線の断面図である。

【図3】図1の半導体集積回路装置の要部平面図である。

【図4】図3のIV-IV線の断面図である。

【図5】配線基板の配線の各接合面に形成された金属の厚さと各接合部における接合強度劣化率との関係を示すグラフ図である。

【図6】図1の半導体集積回路装置の配線基板における配線のメッキ構造の一例を示す半導体集積回路装置の要部断面図である。

【図7】図6の半導体集積回路装置の配線におけるリード部の接合面とバンプ電極の接合面のメッキ構造を模式的に示す説明図である。

【図8】図1の半導体集積回路装置のリード部におけるメッキ構造の他の一例を示す半導体集積回路装置の要部断面図である。

【図9】図8の半導体集積回路装置の配線におけるリード部の接合面とバンプ電極の接合面のメッキ構造を模式的に示す説明図である。

【図10】図1の半導体集積回路装置のリード部におけるメッキ構造の他の一例を示す半導体集積回路装置の要部断面図である。

【図11】図10の半導体集積回路装置の配線におけるリード部の接合面とバンプ電極の接合面のメッキ構造を模式的に示す説明図である。

【図12】図1の半導体集積回路装置のリード部におけるメッキ構造の他の一例を示す半導体集積回路装置の要部断面図である。

【図13】図12の半導体集積回路装置の配線における

リード部の接合面とバンプ電極の接合面のメッキ構造を模式的に示す説明図である。

【図14】図1の半導体集積回路装置のリード部におけるメッキ構造の他の一例を示す半導体集積回路装置の要部断面図である。

【図15】図14の半導体集積回路装置の配線におけるリード部の接合面とバンプ電極の接合面のメッキ構造を模式的に示す説明図である。

【図16】図1の半導体集積回路装置の配線基板におけるメッキ処理方法を説明するための説明図である。

【図17】図1の半導体集積回路装置の組立工程を説明するための説明図である。

【図18】図1の半導体集積回路装置の弾性構造体の形成工程で用いるマスクの平面図である。

【図19】図1の半導体集積回路装置の弾性構造体の形成工程の説明図である。

【図20】図1の半導体集積回路装置のリードの接続工程の説明図である。

【図21】図1の半導体集積回路装置の図20に続くリードの接続工程の説明図である。

【図22】図1の半導体集積回路装置の図21に続くリードの接続工程の説明図である。

【図23】図1の半導体集積回路装置の適用例の説明図である。

【図24】図1の半導体集積回路装置の適用例の説明図である。

【図25】本発明の他の実施の形態である半導体集積回路装置の平面図である。

【図26】図25のXXVI-XXVI線の断面図である。

【図27】図25の半導体集積回路装置の配線基板におけるメッキ処理方法を説明するための説明図である。

【図28】本発明の他の実施の形態である半導体集積回路装置の平面図である。

【図29】図28のXXIX-XXIX線の断面図である。

【図30】本発明の他の実施の形態である半導体集積回路装置の平面図である。

【図31】図30のXXXI-XXXI線の断面図である。

【図32】本発明の他の実施の形態である半導体集積回路装置の平面図である。

【図33】図32のXXXIII-XXXIII線の断面図である。

【図34】本発明の他の実施の形態である半導体集積回路装置の平面図である。

【図35】図34のXXXV-XXXV線の断面図である。

【図36】本発明の他の実施の形態である半導体集積回路装置の要部平面図である。

【図37】図36のXXXVII-XXXVII線の断面図である。

【図38】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図39】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図40】本発明の他の実施の形態である半導体集積回路装置の要部平面図である。

【図41】図40のXXXXI-XXXXI線の断面図である。

【図42】図40の半導体集積回路装置の製造工程における要部断面図である。

【図43】図40の半導体集積回路装置の図42に続く製造工程における要部断面図である。

【図44】図40の半導体集積回路装置の図43に続く製造工程における要部断面図である。

【図45】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図46】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【図47】(a)および(b)は図46の半導体集積回路装置のフレキシブル配線における配線の断面状態を模式的に示した説明図である。

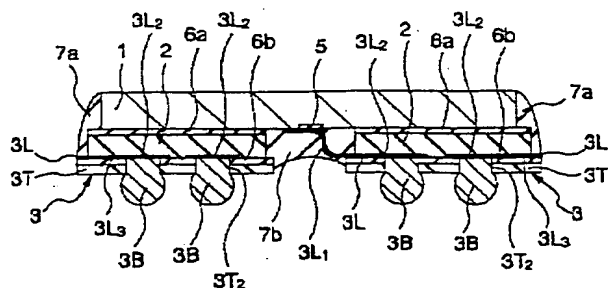
【図48】フレキシブル配線基板のリード部におけるクラックを説明するための説明図である。

【符号の説明】

- 1 半導体チップ
- 2, 2a, 2b エラストマ (弾性構造体)
- 2A エラストマ形成材料
- 3 フレキシブル配線基板 (配線基板)
- 3T テープ (基板基材)
- 3L 配線
- 3L1 リード部
- 3L2 バンプランド部
- 3L3 メッキ電流供給用の配線
- 3LmA1 金メッキ層 (第1の金層)
- 3LmA2 金メッキ層 (第2の金層)
- 3LmN1 ニッケルメッキ層
- 3LmN2 ニッケルメッキ層
- 3LmP1 パラジウムメッキ層

【図2】

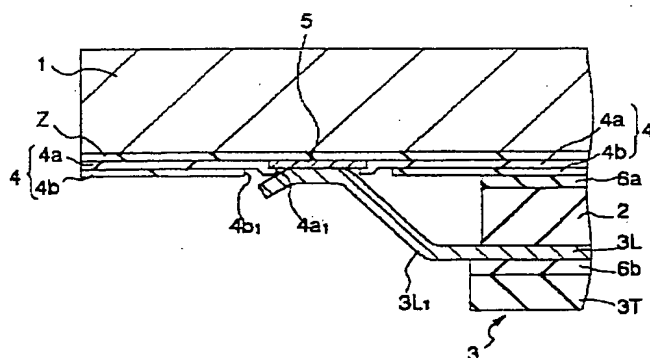
図 2

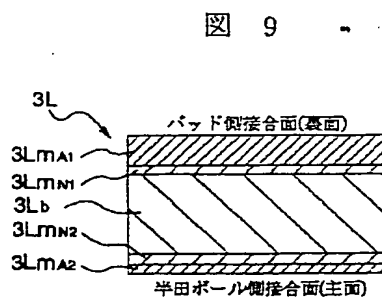


- 3B はんだバンプ電極
- 4 パッシベーション膜
- 4a パッシベーション膜
- 4a1 開口部
- 4b パッシベーション膜
- 4b1 開口部
- 5 ボンディングパッド (外部端子)
- 6a~6g 接着材
- 7a~7d 封止樹脂
- 8m メタルマスク
- 8m1 開口部
- 9 スキージ
- 10 ボンディングツール
- 11 メモリカード
- 12 プリント配線基板
- 13 CSP形の半導体集積回路装置
- 14 QFP形の半導体集積回路装置
- 15 端子
- 16 感光性絶縁膜 (絶縁膜)
- 16a 開口部
- 17 保護部材
- 17a 脚部
- 18a, 18b 保護枠体
- 19 放熱板
- 20 開口部
- 21 絶縁膜
- 22 リード部
- 23 クラック
- 24 ニッケルメッキ層
- 25 金メッキ層
- 26 芯材部
- M 遮蔽板
- Z 絶縁膜

【図4】

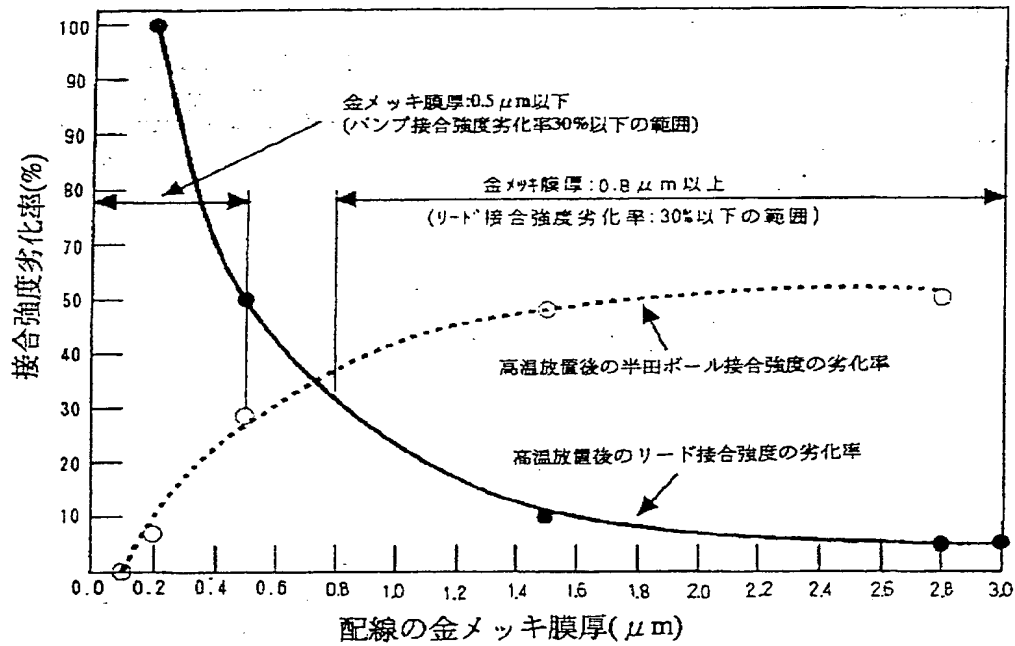
図 4





【図5】

図 5

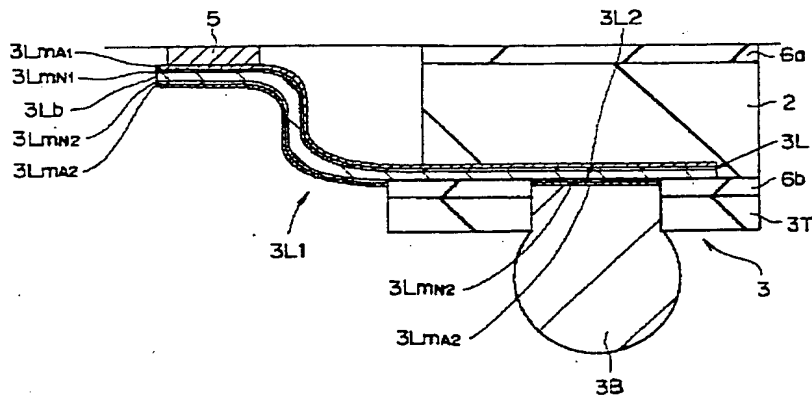


【図8】

図 8

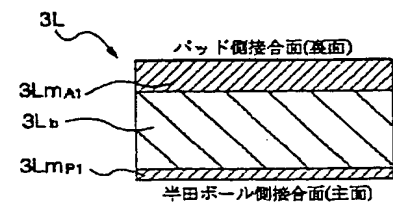
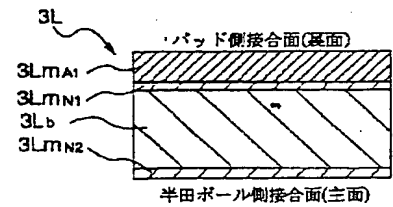
【図11】

図 11



【図13】

図 13



【例 15】

图 15

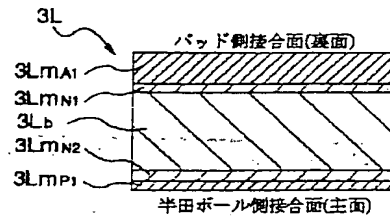
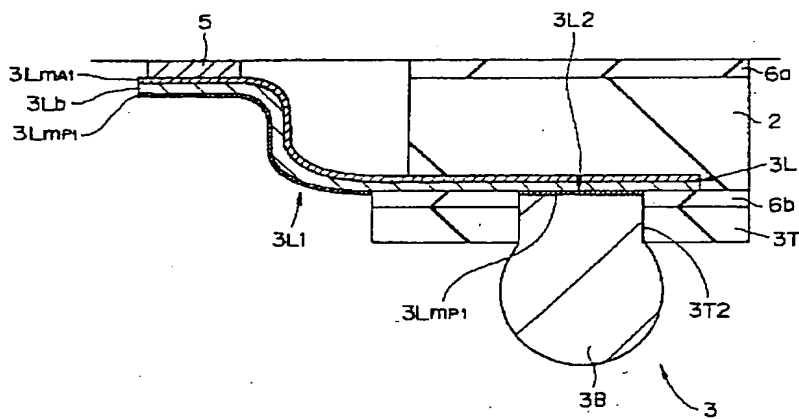
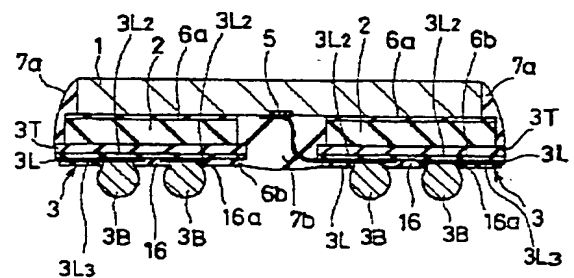


图 12



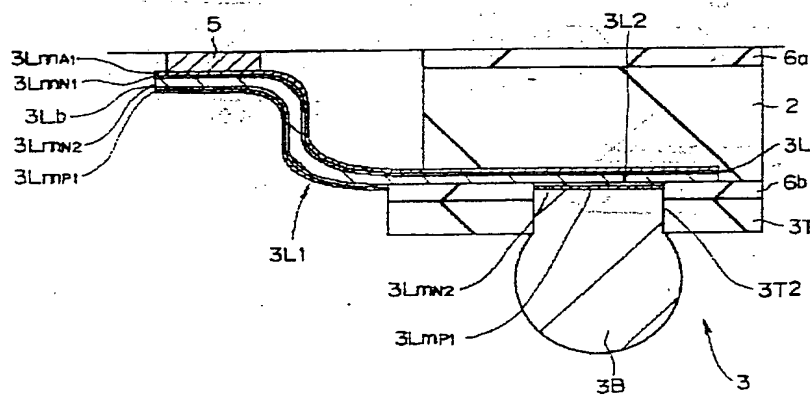
【图 26】

図 26



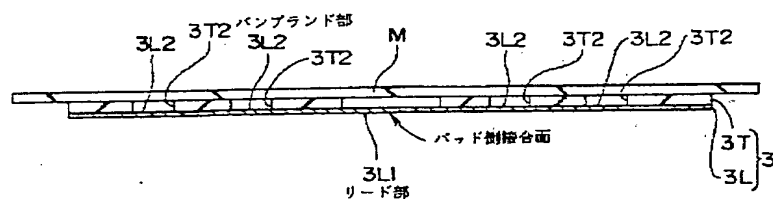
【図14】

図 14



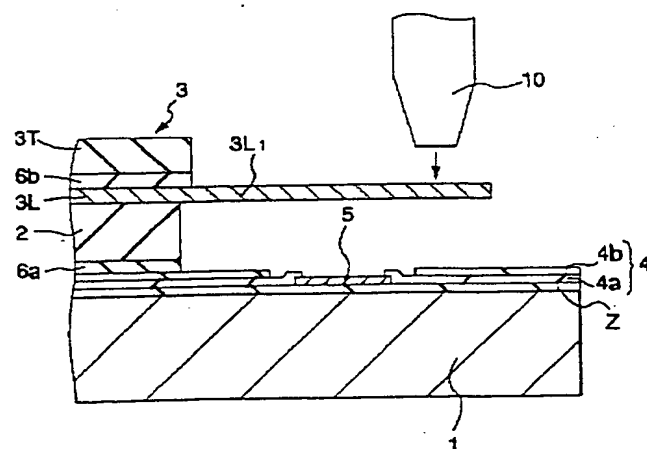
【図16】

図 16



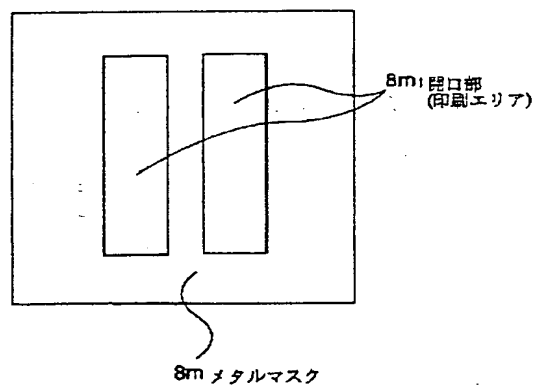
【図20】

図 20



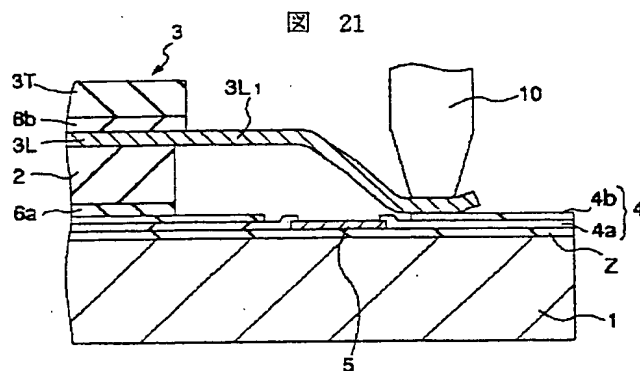
【図18】

図 18

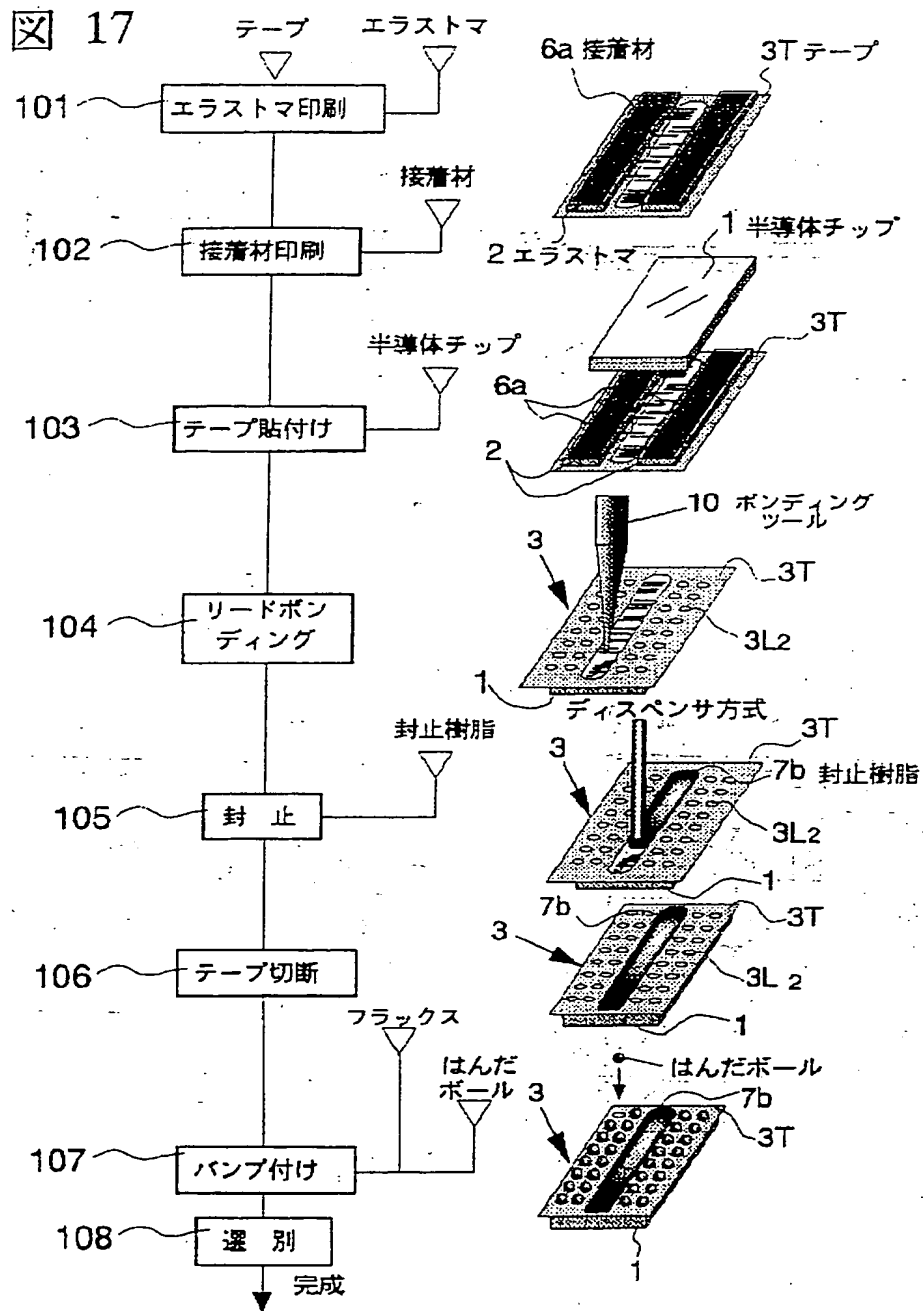


【図21】

図 21

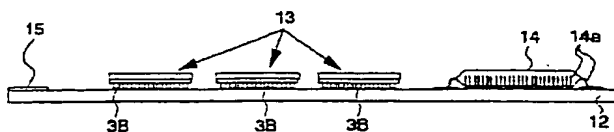


【図17】

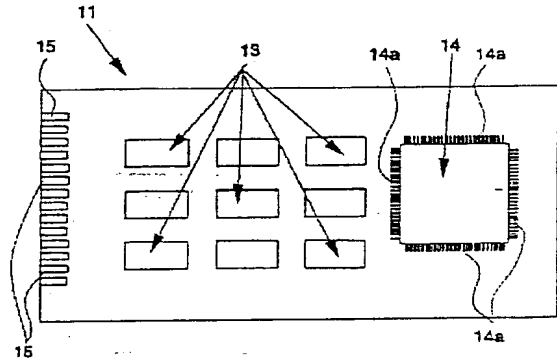


【図24】

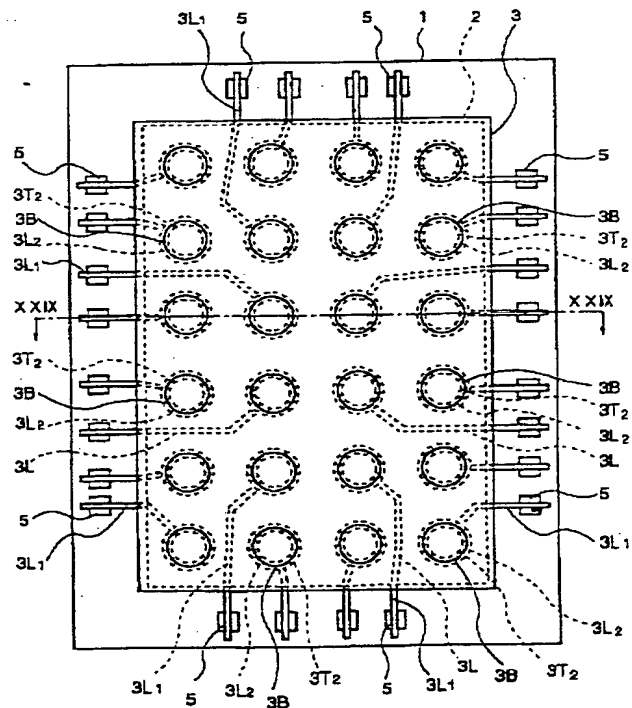
図 24



【例 23】

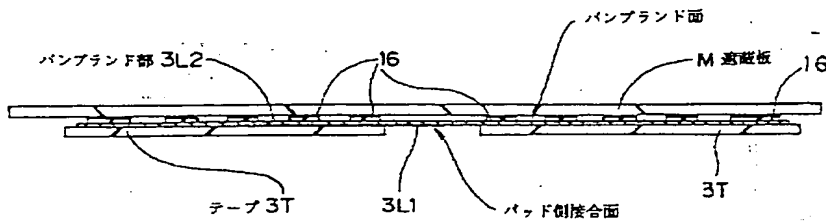


【図28】



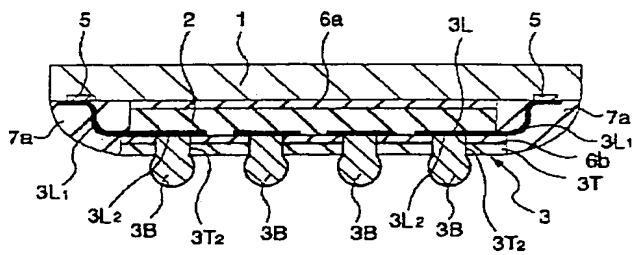
【图 27】

图 27



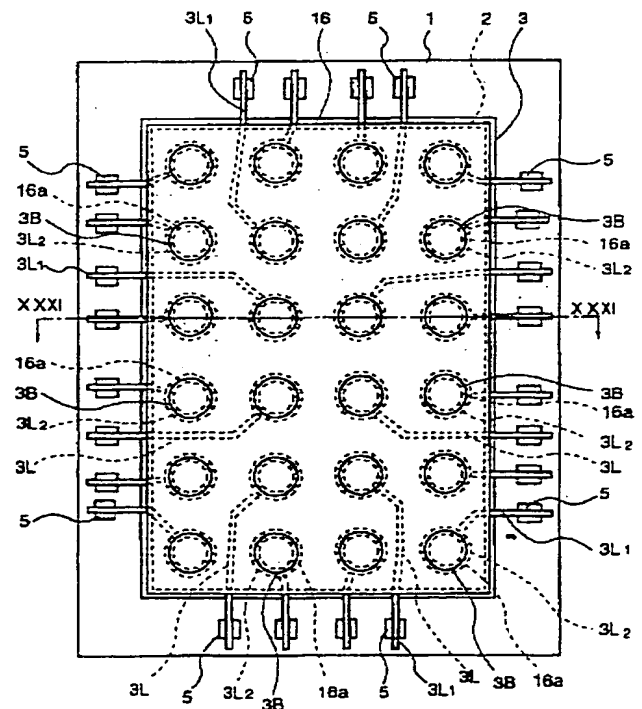
【図 29】

图 29



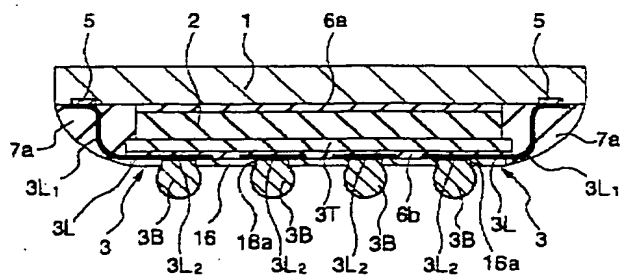
【図30】

☒ 30



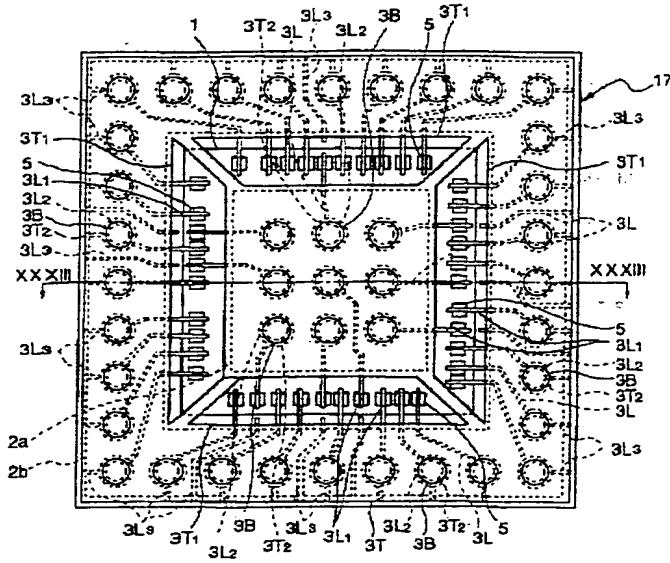
【图 3 1】

图 31



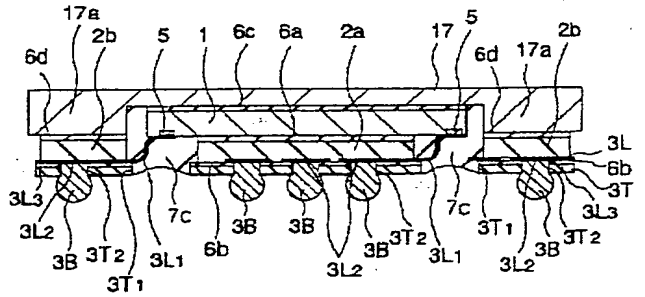
【図32】

図 32



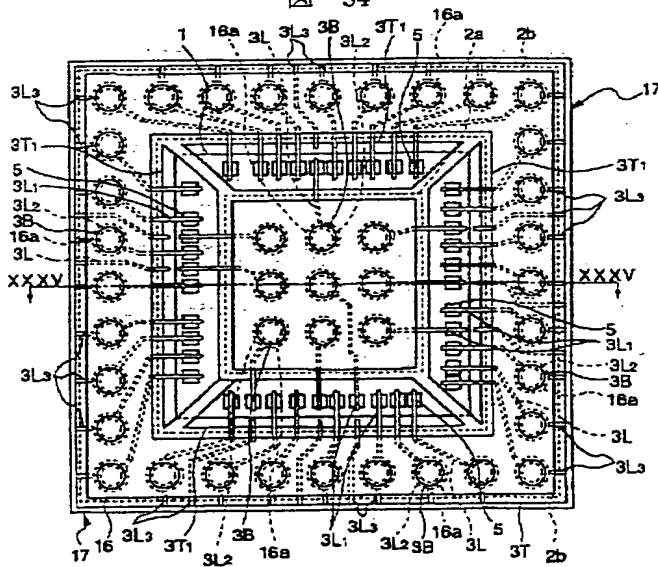
【図33】

図 33



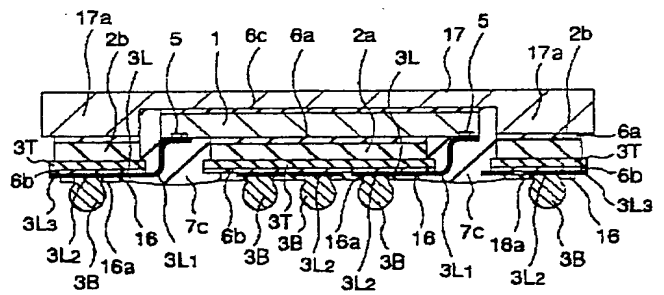
【図34】

図 34



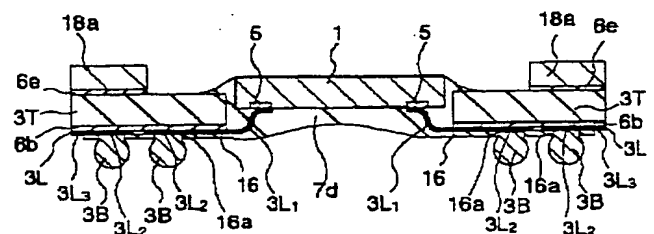
【図35】

図 35

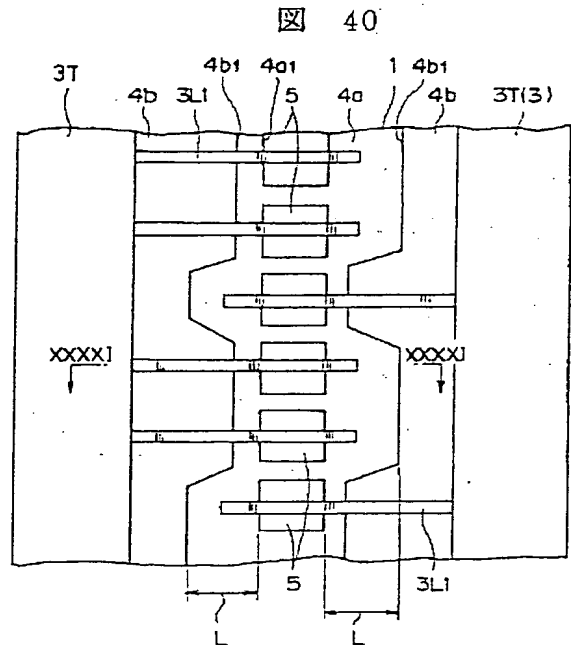


【図37】

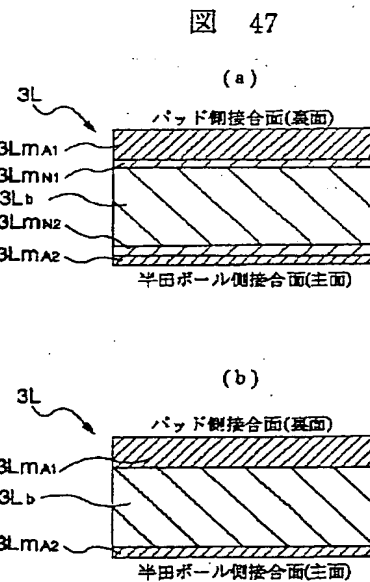
図 37

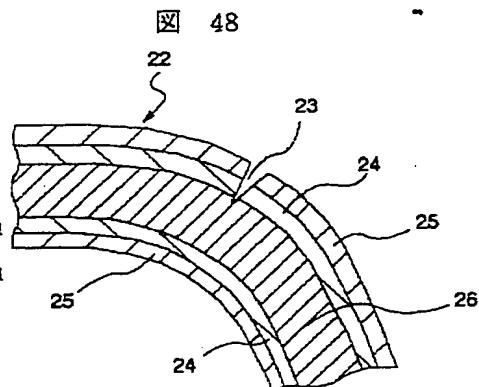
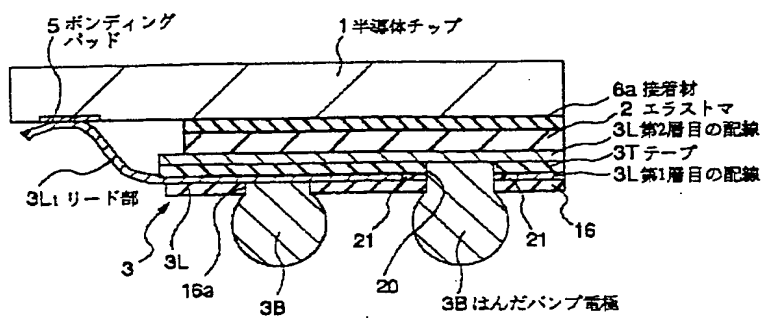
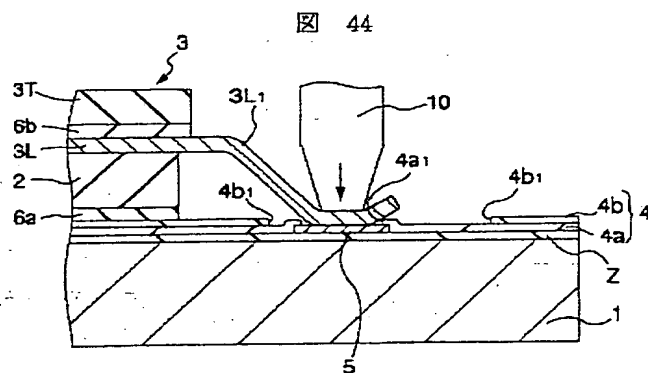
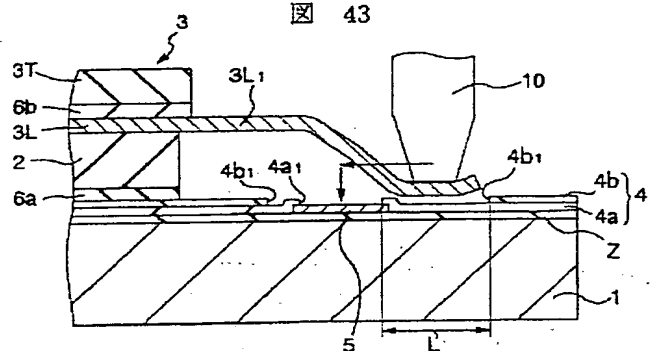
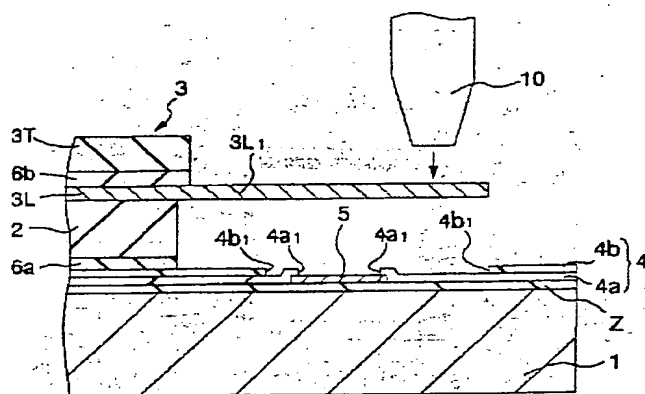
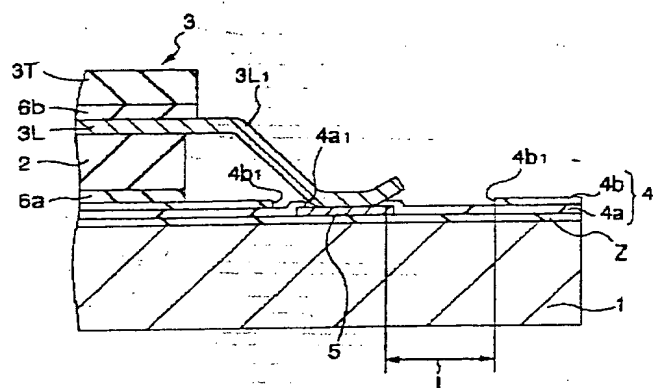


【図 40】

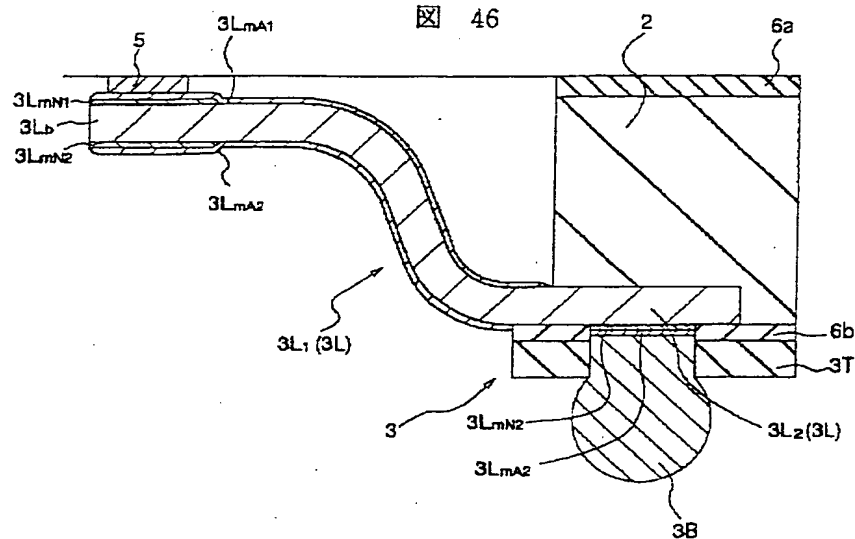


【图 4-7】





【図46】



フロントページの続き

(72)発明者 秋山 雪治
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 宮崎 忠一
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 柴本 正訓
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 下石 智明
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 安生 一郎
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 西 邦彦
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 西村 朝雄
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

30 (72)発明者 田中 英樹
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 木本 良輔
東京都小平市上水本町5丁目22番1号 株
式会社日立マイコンシステム内

(72)発明者 坪崎 邦宏
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

THIS PAGE BLANK (USPTO)